

Fakulta elektrotechniky
a informatiky

Ing. Peter Lukács, PhD.

Počítačové inžinierstvo v elektronike

LS 2021/2022

Sekvenčné logické obvody

Neudeľujem súhlas na vyhotovenie audio-vizuálneho záznamu!

- Je zakázané vytvárať akýkoľvek zvukový, vizuálny alebo audio-vizuálny záznam.
- Môžu byť použité právne prostriedky, ak sa ktorákoľvek časť tejto videokonferencie bude šíriť bez súhlasu autora.

- *Zákon č. 18/2018 Zz - Zákon o ochrane osobných údajov*
- *Zákon č. 185/2015 Z. z. Autorský zákon*



Sekvenčné logické obvody

Sekvenčné logické obvody (SLO) sú obvody, v prípade ktorých okamžitá hodnota výstupu závisí nielen od okamžitých hodnôt vstupu ale aj od predchádzajúcich stavov. SLO teda obsahujú pamäť, v ktorej sa uchovávajú predošlé logické stavy obvodu. Funkciu SLO je možné opísať nasledovnými rovnicami:

- rovnica pre výstupy SLO: $Y_i = f(\{X_j\}, \{Q_p^t\})$
- rovnica pre nasledujúci vnútorný stav SLO: $Q_p^{t+1} = g(\{X_j\}, \{Q_p^t\})$

Sekvenčné logické obvody

pričom Y_i predstavuje množinu výstupov SLO $Y_i = (y_1, y_2, \dots, y_m)$, X_i množinu vstupov $X_i = (x_1, x_2, \dots, x_n)$ a Q_p množinu vnútorných stavov $Q_p = (q_1, q_2, \dots, q_k)$. Premenné q_1, q_2, \dots, q_k sa nazývajú vnútorné premenné a sú tvorené výstupmi jednotlivých klopných obvodov.

Množina všetkých výstupov klopných obvodov v určitom čase t tvorí vnútorný stav. Indexom t sa rozlišuje súčasný vnútorný stav Q_p^t a $t+1$ nasledujúci vnútorný stav SLO Q_p^{t+1} .

Sekvenčné logické obvody

Z blokovej schémy SLO je zrejmé, že obsahuje kombinačnú časť (KLO), ktorá generuje hodnoty výstupu y_1, y_2, \dots, y_m a budiace signály klopných obvodov.

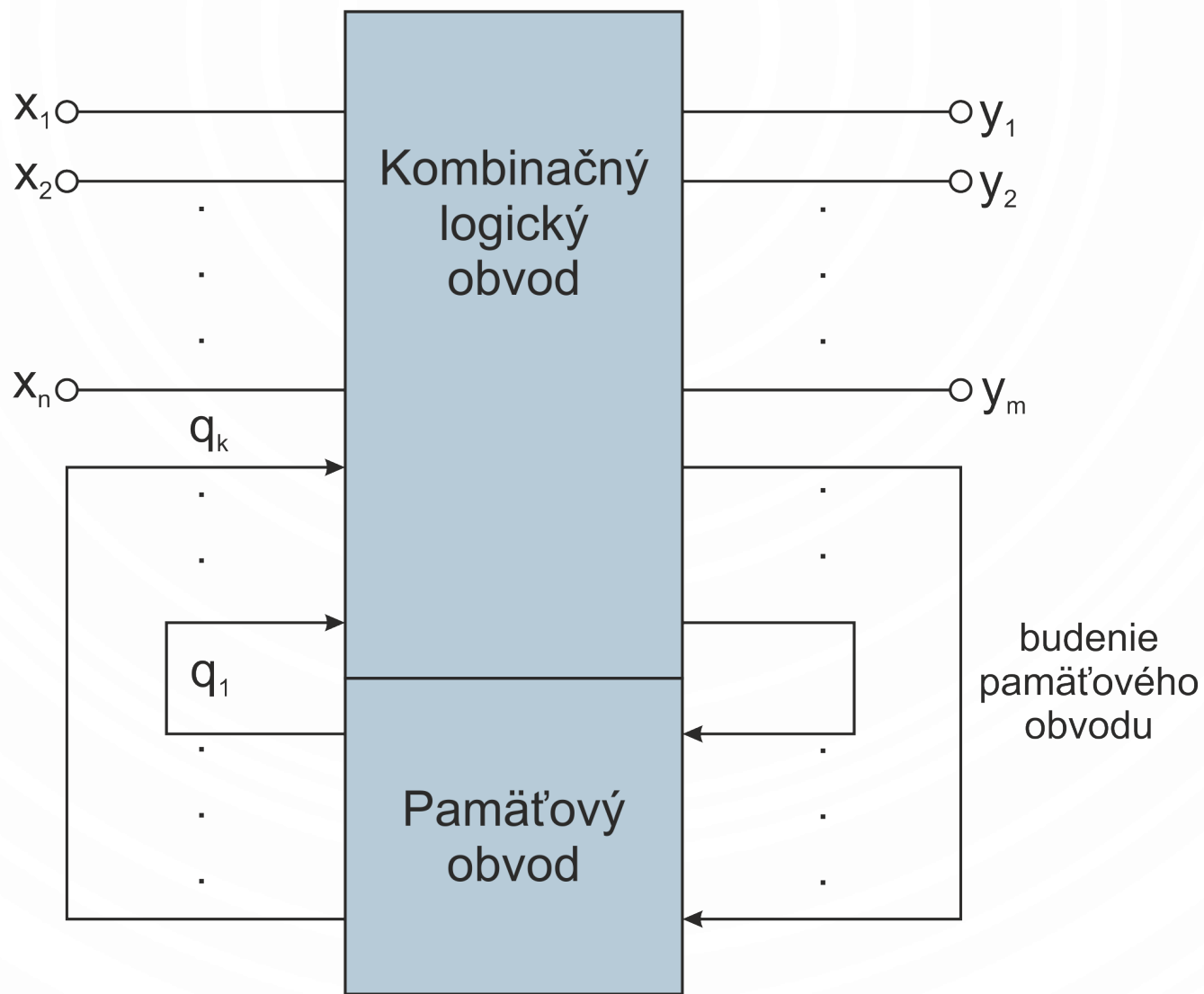
Ďalej obsahuje sekvenčnú časť, ktorá je tvorená klopnými obvodmi. Na základe budiacich signálov generujú klopné obvody vnútorné premenné SLO. Vstupnými signálmi kombinačnej časti sú vstupné signály x_1, x_2, \dots, x_n a vnútorné premenné q_1, q_2, \dots, q_k z výstupu pamäťovej časti.

Sekvenčné logické obvody

Sekvenčná časť je tvorená klopnými obvodmi, ktoré sú riadené periodickým číslicovým signálom s periódou T , ktorý sa v praxi nazýva *hodinový signál* alebo *taktovací signál* (z angl. clock).

Hodinový signál taktuje klopné obvody sekvenčnej časti a definuje vnútorné stavy sekvenčných obvodov v časoch t , $t+1$, $t+2$, atď.

Sekvenčné logické obvody



Bloková schéma SLO

Sekvenčné logické obvody

Logický obvod opísaný rovnicami na začiatku prezentácie nazývame *Mealyho sekvenčný obvod* alebo **Mealyho automat**.

Ďalej poznáme *Moorov sekvenčný obvod* alebo **Moorov automat**, kedy výstup sekvenčného obvodu je jednoznačne určený jeho vnútorným stavom. Moorov sekvenčný obvod je možné opísať nasledovne:

$$Y_i = f_i(\{Q_p^t\}).$$

Klopné obvody

Klopné obvody ako pamäťové členy predstavujú najjednoduchšie sekvenčné logické obvody. Používajú sa buď ako pamäťové členy v SLO alebo taktiež ako samostatné funkčné bloky napr. v posuvných registroch, čítačoch, statických pamätiach, atď.

Úlohou klopných obvodov je zaznamenať prítomnosť prechodnej informácie a uchovať tento stav. Klopné obvody teda môžeme označiť za elementárne pamäte. Ich výstupné stavy sa menia skokom medzi dvoma hodnotami logickej úrovne.

Rozdelenie klopných obvodov

Podľa počtu stabilných stavov delíme klopné obvody na:

- **bistabilné** – majú 2 možné stabilné stavy, ktoré sa menia skokovo (jeden stav na druhý) v prípade, ak je na vstup privedený budiaci vstupný signál, resp. taktovací signál. Používajú sa ako registre, deliče frekvencie a statické pamäťové obvody.
- **monostabilné** – majú 1 stabilný stav. Výstup predstavuje jeden impulz, ktorý vznikne, ak sa privedie signál na vstup klopného obvodu. Používajú sa na generovanie jednotlivých impulzov, ktorých dĺžka je definovaná hodnotou vnútorných RC prvkov.

Rozdelenie klopných obvodov

Podľa počtu stabilných stavov delíme klopné obvody na:

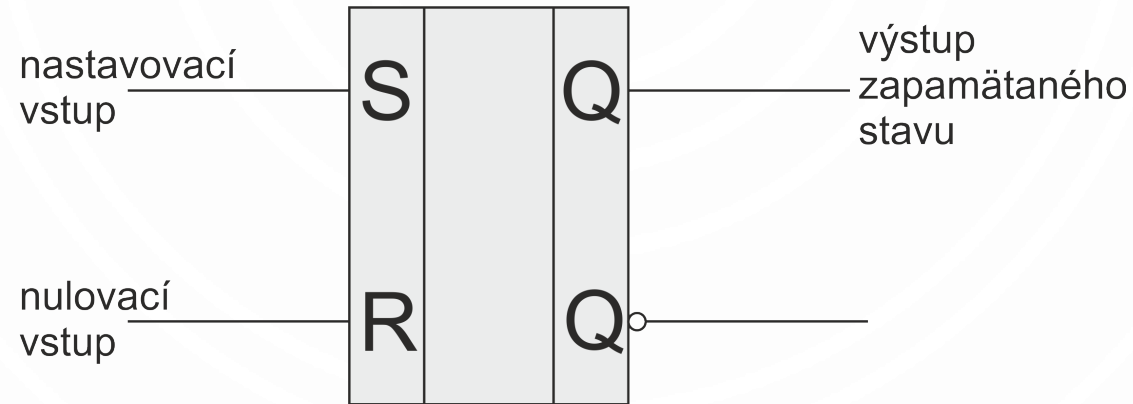
- **astabilné** – tieto obvody nemajú žiadny stabilný stav a ich výstupné signály sú periodické impulzy. Ich amplitúda a frekvencia závisí od parametrov obvodu. Používajú sa ako zdroje taktovacích signálov v rôznych aplikáciách, ako napr. v SLO, mikroprocesoroch, atď.

RS klopný obvod

- najjednoduchší bistabilný klopný obvod,
- má 2 vstupy R a S , výstup Q a jeho negáciu \bar{Q} .
- Vstup S (set) slúži na vstup signálu, ktorým sa nastavuje klopný obvod do log. 1. Ak privedieme na vstup S log. 1, výstup Q sa preklopí do log. 1.
- Vstup R (reset) slúži na nulovanie klopného obvodu. Ak privedieme na vstup R log. 1, výstup Q sa preklopí do log. 0 a \bar{Q} na log. 1.

RS klopný obvod

Schematická značka RS klopného obvodu:



Schematická značka RS klopného obvodu

RS klopný obvod má 2 stabilné stavy $Q=1$ a $Q=0$. Súčasne platí, že výstup \bar{Q} je negáciou výstupu Q , teda $\bar{Q}=0$ a $\bar{Q}=1$.

RS klopný obvod

Princíp činnosti:

- ak privedieme na vstupy R a S log. 0 ($R=S=0$), klopný obvod zostáva v predošlom stave,
- ak $S=1$ a $R=0$, klopný obvod sa preklopí do log. 1 ($Q=1$) nezávisle od predošlého stavu a zostane v tomto stave aj po odpojení log. 1 zo vstupu S,
- ak $R=1$ a $S=0$, klopný obvod sa preklopí do log. 0 ($Q=0$) nezávisle od predošlého stavu a zostane v tomto stave aj po odpojení log. 1 zo vstupu R,
- ak $R=1$ a $S=1$, klopný obvod preklopí oba výstupy do log. 1 ($Q=\bar{Q}=1$), čo ale odporuje základnému princípu klopných obvodov, preto sa tento stav častokrát označuje za zakázaný stav.

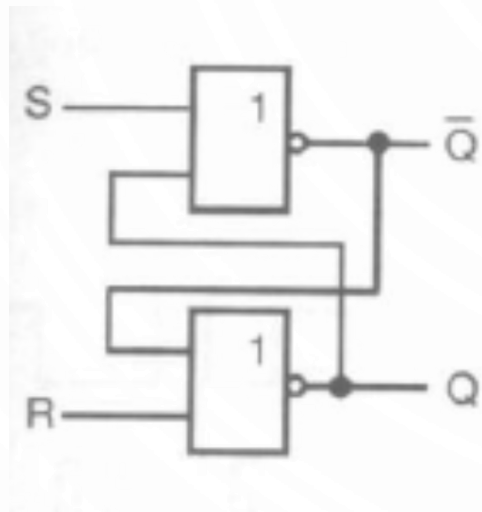
RS klopný obvod

Činnosť RS klopného obvodu je možné opísať aj pravdivostnou tabuľkou nasledovne:

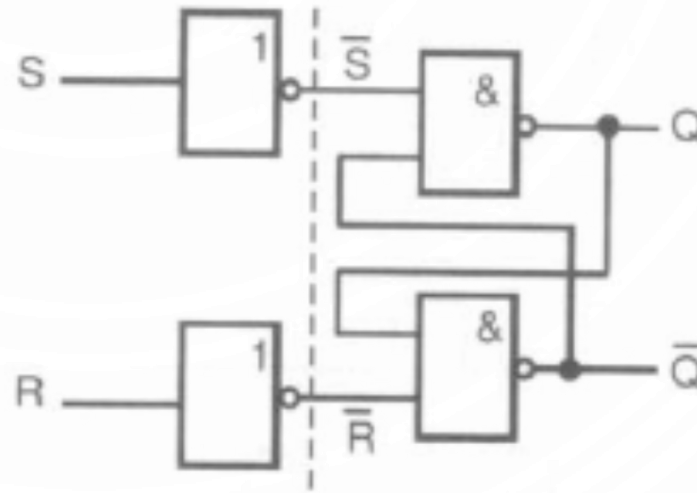
S	R	Q^{t+1}	$\overline{Q^{t+1}}$
0	0	Q^t	$\overline{Q^t}$
0	1	0	1
1	0	1	0
1	1	1	1

RS klopný obvod

RS klopný obvod je možné realizovať aj zapojením log. hradiel NOR alebo NAND:



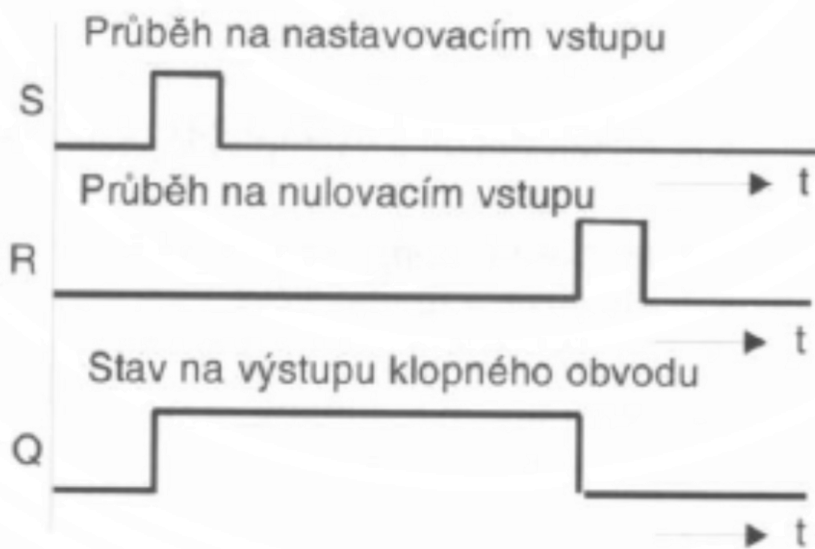
RS klopný obvod zostavený z hradiel NOR



RS klopný obvod zostavený z hradiel NAND

RS klopný obvod

Časový diagram RS klopného obvodu vyzerá nasledovne:



Časový diagram RS klopného obvodu

RST klopný obvod

Ak je požadovaný záznam informácie zo vstupov R a S do klopného obvodu v určitom časovom intervale, je možné doplniť klopný obvod vstupnými hradlami, ktoré sa otvárajú taktovacím impulzom T. Príklad takého obvodu realizovaný log. hradlami NAND vyzerá nasledovne:

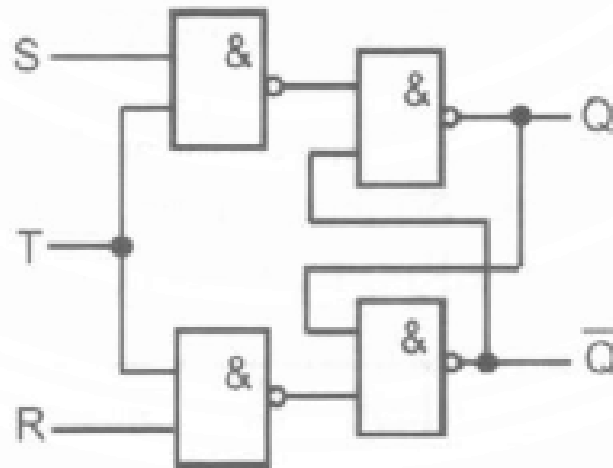


Schéma taktovaného RS klopného obvodu

RST klopný obvod

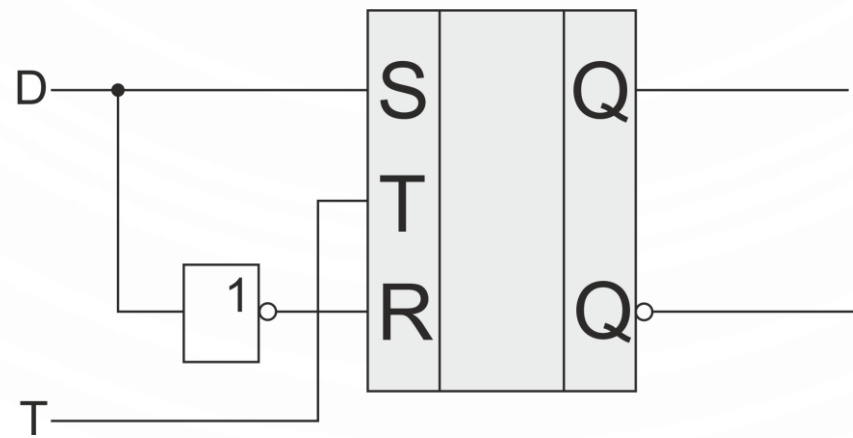
Pravdivostná tabuľka RST klopného obvodu realizovaného hradlami NAND vyzerá nasledovne:

T	S	R	Q^{t+1}	$\overline{Q^{t+1}}$
X	0	0	Q^t	$\overline{Q^t}$
0	X	X	Q^t	$\overline{Q^t}$
1	0	1	0	1
1	1	0	1	0
1	1	1	1	1

D klopný obvod

Ak spojíme vstupy S a R klopného obvodu RST cez inverter, zabránime vzniku zakázaného stavu na výstupoch klopného obvodu. Spojený vstup označíme D a získame tak obvod, ktorý sa nazýva **D klopný obvod**.

Stav na vstupe D je prenášaný na výstup počas celej doby trvania taktovacieho impulzu na úrovni log. 1.



Schematická značka D klopného obvodu

D klopný obvod sa realizuje v IO napr. 7475, 7477, 74373, 74374, 74841 a iné.

D klopný obvod

Pravdivostná tabuľka D klopného obvodu vyzerá nasledovne:

T	D	Q^{t+1}
0	X	Q^t
1	0	0
1	1	1

Dvojčinný RST klopný obvod

Dvojčinné klopné obvody, nazývané tiež obvody s medzipamäťou, predstavujú významnú triedu klopných obvodov. Predošlé taktované RS klopné obvody reagovali na hodnoty vstupov R a S po celú dobu prítomnosti log. 1 na vstupe T. Také obvody sú riadené úrovňou taktovacieho signálu. Hlavné nevýhody klopných obvodov, riadených úrovňou taktovacieho signálu sú:

- možnosť zmeny výstupu počas celej doby aktívnej napäťovej úrovne na taktovacom vstupe,
- nemožnosť použiť tieto obvody v čítacích a posuvných registroch, pretože by sa signály na riadiacich vstupoch klopných obvodov počas aktívnej úrovne taktu preniesli okamžite až na výstup celého obvodu.

Dvojčinný RST klopný obvod

Z uvedených dôvodov je nutné mať k dispozícii klopné obvody, ktoré majú oddelené vstupy od výstupov. To je možné dosiahnuť pomocou dvoch stupňov klopných obvodov s oddeleným taktovaním. Takéto klopné obvody sa nazývajú **dvojčinné klopné obvody**.

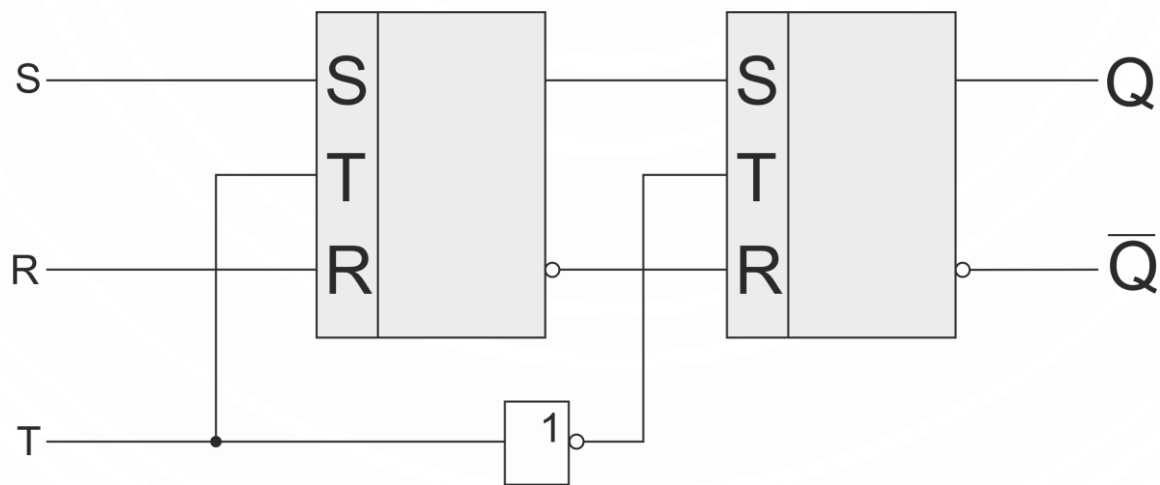
Dvojčinný RST klopný obvod sa skladá z dvoch RST klopných obvodov a invertora, ktorý oddeľuje taktovací signál. Stav, ktorý je na vstupoch RS, sa zapisuje do prvého klopného obvodu vtedy, keď je taktovací impulz T na úrovni log. 1.

Dvojčinný RST klopný obvod

Druhý klopný obvod je blokovaný negovaným taktovacím impulzom a na jeho výstup sa zmeny vstupov neprenesú. V okamihu, keď prichádza tylo taktovacieho impulzu, je uložená posledná informácia zo vstupov R a S v prvom klopnom obvode a jeho stav je prepísaný do druhého klopného obvodu logickou 1 na taktovacom vstupe.

Dvojčinný RST klopný obvod

Schematická značka dvojčinného RST klopného obvodu:



Schematická značka dvojčinného RST klopného obvodu

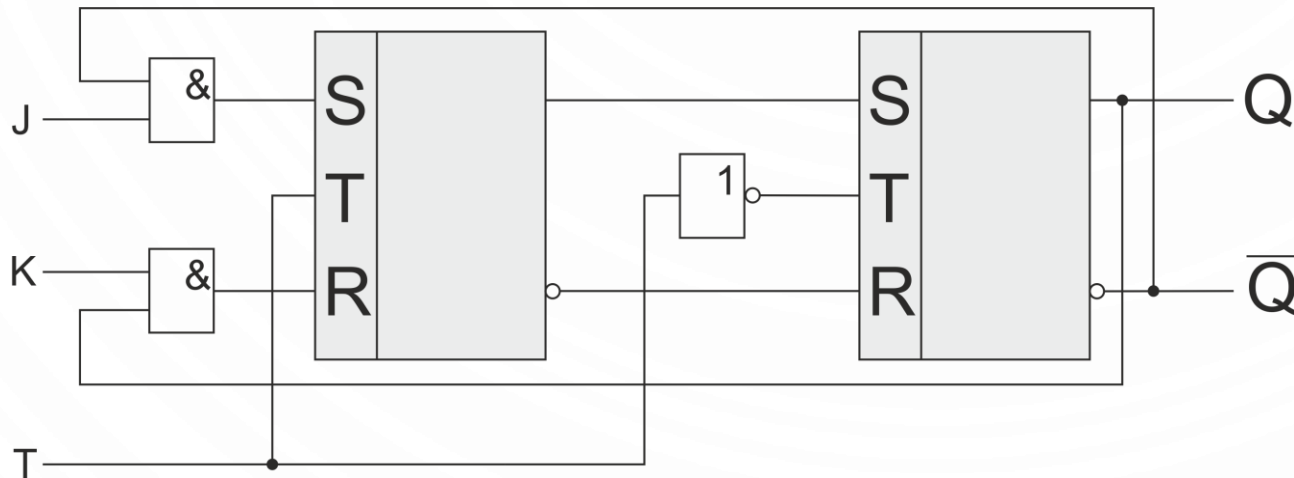
Dvojčinný RST klopný obvod

Klopný obvod tohto typu nie je zaistený proti možnosti vzniku nedefinovaného preklopenia, ak tylo taktovacieho impulzu prichádza vtedy, keď R a S sú v stave log. 1. Dôležitý je fakt, že stav výstupného klopného obvodu zachytáva stav vstupu len v jednom okamihu, a to vtedy, keď prebieha tylo taktovacieho impulzu. V iných fázach taktovacieho priebehu nie je možné výstup ovplyvniť.

Takéto klopné obvody sú riadené *hranou* taktovacieho signálu. Tie sú vhodné pre použitie v čítacích a posuvných registroch. Podľa konštrukcie môžu byť klopné obvody taktované buď nábežnou alebo dobežnou hranou.

Dvojčinný JK klopný obvod

Princíp **dvojčinného JK klopného obvodu** umožňuje definovať logickú funkciu aj v prípade, že oba vstupy sú v stave log. 1. Tento typ klopného obvodu sa spúšťa tylom taktovacieho impulzu.



Schematická značka dvojčinného JK klopného obvodu

Dvojčinný JK klopný obvod sa realizuje v IO napr. 7470, 7472 a 7473.

Dvojčinný JK klopný obvod

Dvojčinný JK klopný obvod má taktiež oddelené taktovacie vstupy pomocou invertora. Zapojením spätnej väzby z výstupu Q na vstup K a z výstupu \bar{Q} na vstup J sa zabezpečí, že vstupná kombinácia $J=1$ a $K=1$ na vstupoch klopného obvodu spôsobí preklopenie výstupného obvodu do opačného stavu, než bol pred príchodom tyla taktovacieho impulzu.

Dvojčinný klopný obvod JK je zabezpečený proti vzniku zakázaného stavu na výstupu.

Dvojčinný JK klopný obvod

Pravdivostná tabuľka dvojčinného JK klopného obvodu vyzerá nasledovne:

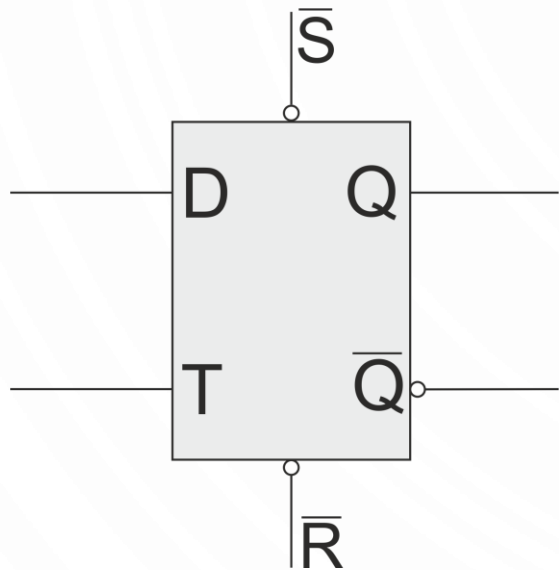
J	K	Q^{t+1}	$\overline{Q^{t+1}}$
0	0	Q^t	$\overline{Q^{t+1}}$
1	0	1	0
0	1	0	1
1	1	$\overline{Q^{t+1}}$	Q^t

Čelom riadený D klopný obvod

V prípade čelom riadeného D klopného obvodu platí, že klopný obvod mení svoj stav len v okamihu, kedy prichádza čelo impulzu. Príkladom čelom riadeného D klopného obvodu je IO 7474. Tento IO obsahuje dvojicu D klopných obvodov. Každý z dvojice D klopných obvodov obsahuje rovnaký dátový vstup D a taktovací vstup T. Ďalej obsahuje dvojicu asynchrónnych vstupov \bar{S} a \bar{R} . Vstupom \bar{S} je možné výstup Q nastaviť do stavu log. 1, vstupom \bar{R} do log. 0. Budením vstupov \bar{S} a \bar{R} sa klopný obvod D správa ako RS klopný obvod.

Čelom riadený D klopný obvod

Schematická značka a pravdivostná tabuľka IO 7474:



Schematická značka 7474

\bar{S}	\bar{R}	T	D	Q	\bar{Q}
0	1	X	X	1	0
1	0	X	X	0	1
0	0	X	X	1	1
1	1	↑	1	1	0
1	1	↑	0	0	1

↑ znamená čelo taktovacieho signálu

Posuvné registre

Posuvný register je zariadenie, ktorého úlohou je uchovávať a posúvať informáciu.

Posuvné registre delíme na:

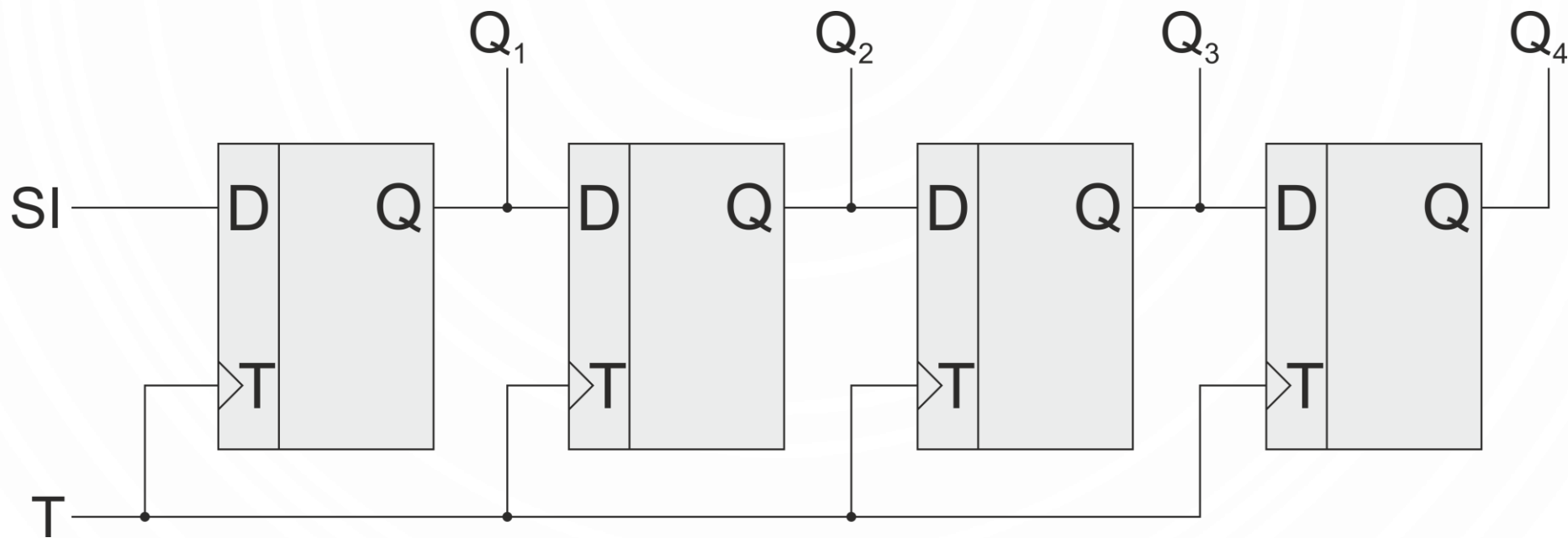
- **statické,**
- **dynamické.**

Statické posuvné registre

Statický posuvný register sa skladá z viacerých klopných obvodov spojených tak, že každý klopný obvod prenáša informáciu zo svojho výstupu na vstup nasledujúceho klopného obvodu. Posun informácie nastáva vždy s príchodom aktívnej hrany taktovacieho impulzu.

Na ďalšom slajde je znázornený 4-bitový posuvný register zostavený zo štyroch D klopných obvodov riadený čelom taktovacieho impulzu. Výstup Q každého klopného obvodu je spojený so vstupom D nasledujúceho klopného obvodu. Taktovacie impulzy sú pripojené synchronne k všetkým klopným obvodom posuvného registra.

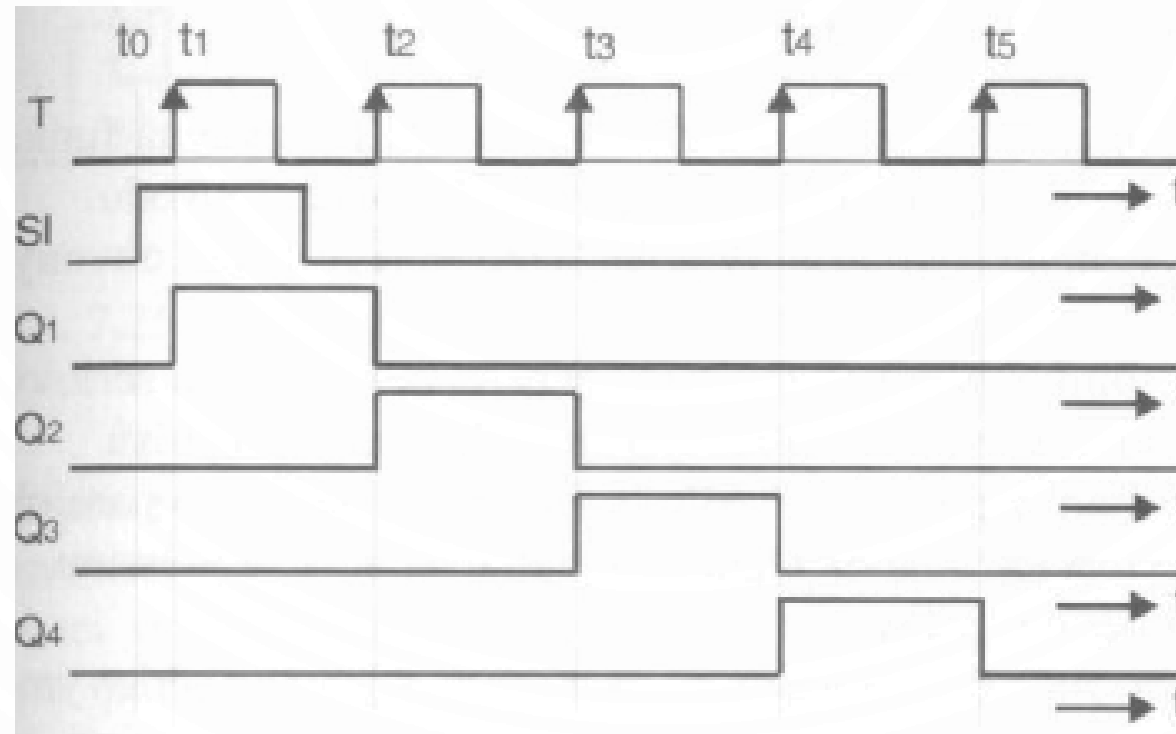
Statické posuvné registre



4-bitový statický posuvný register z D klopných obvodov

Statické posuvné registre

Časový diagram 4-bitového posuvného registra



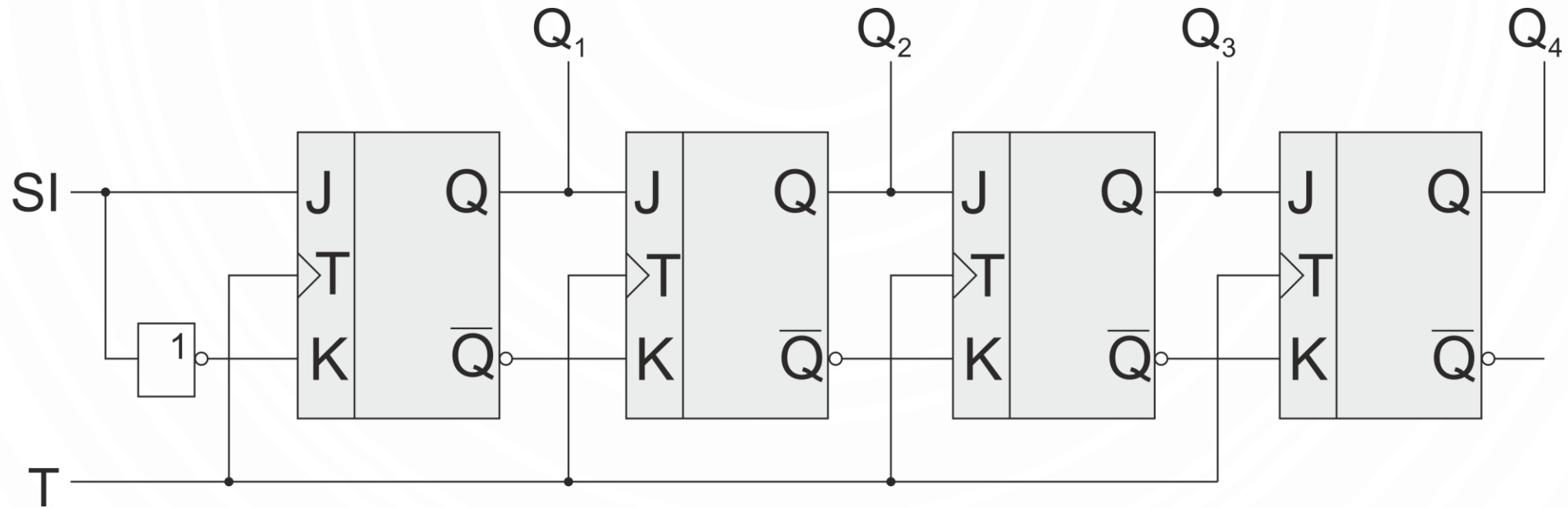
Časový diagram 4-bitového statického posuvného registra

Statické posuvné registre

V čase t_0 sa na vstupe S1 objavuje log. 1. S príchodom čela taktovacieho impulzu T v čase t_1 sa vstupný signál objavuje na výstupe Q_1 prvého klopného obvodu. K posunutiu vstupného signálu dochádza až pri ďalšej nábežnej hrane taktovacieho signálu, teda pri t_2 . Vtedy je už na vstupe S1 log. 0. Táto log. 0 sa do prvého klopného obvodu zapíše hranou t_2 , pričom log. 1 z Q_1 sa prepíše do Q_2 . Log. 1 sa posúva ďalej v registri stále s príchodom ďalšieho čela taktovacieho impulzu.

Posuvný register môže byť zostavený aj z JK klopných obvodov, ako je to znázornené na ďalšom slajde.

Statické posuvné registre



4-bitový statický posuvný register z JK klopných obvodov

Statické posuvné registre

Príkladom posuvných registrov so sériovým vstupom je 7491 (8-bitový posuv. reg. so sériovým vstupom a výstupom).

Posuvné registre nemusia byť konštruované len so sériovým vstupom. Existujú posuvné registre aj s paralelným vstupom dát do jednotlivých klopných obvodov. Napr. 74165 a 74166 (8-bitový posuv. reg. s paralelným alebo sériovým vstupom a sériovým výstupom).

Obsah posuvného registra je binárne číslo, ktoré má najnižšiu váhu (bit LSB) vľavo a najvyššou váhu (bit MSB) vpravo. Takéto usporiadanie odpovedá normálneho smeru posunu v posuvných registroch. Je to však presne naopak, než je bežne používaná prirodzená reprezentácia čísel.

Statické posuvné registre posúvajúce vpravo aj vľavo

Smer posunu informácie v posuvných registroch je určený hodnotou signálu na jednom zo vstupov. Logika prepínania smeru posunu môže byť realizovaná pomocou členov AND-OR-NOT.

Ako príklad posuvného registra posúvajúceho vpravo/vľavo je možné uviesť:

7495 – 4-bitový posuvný register s paralelným a sériovým vstupom a s paralelným a sériovým výstupom. Je vybavený dvoma taktovacími vstupmi pre taktovanie vpred a vzad.

Spôsob vkladania informácie do posuvného registra

Vstup klopného obvodu, ktorý odpovedá bitu s najnižšou váhou sa nazýva sériový vstup posuvného registra. Existujú 4 spôsoby použitia sériového vstupu pre ovládanie vkladania informácie do posuv. registra:

- **náhrada nulami** – pri posune sa v posuvnom registri uvoľňujú bity od najnižšej váhy. Sériovým vstupom môžu byť na uvoľnené miesta vkladané nuly spojením vstupu s log. úrovňou odpovedajúcej log. 0.
- **náhrada jednotkami** – v tomto prípade sa sériový vstup spojí s logickou úrovňou odpovedajúcej logickej 1.

Spôsob vkladania informácie do posuvného registra

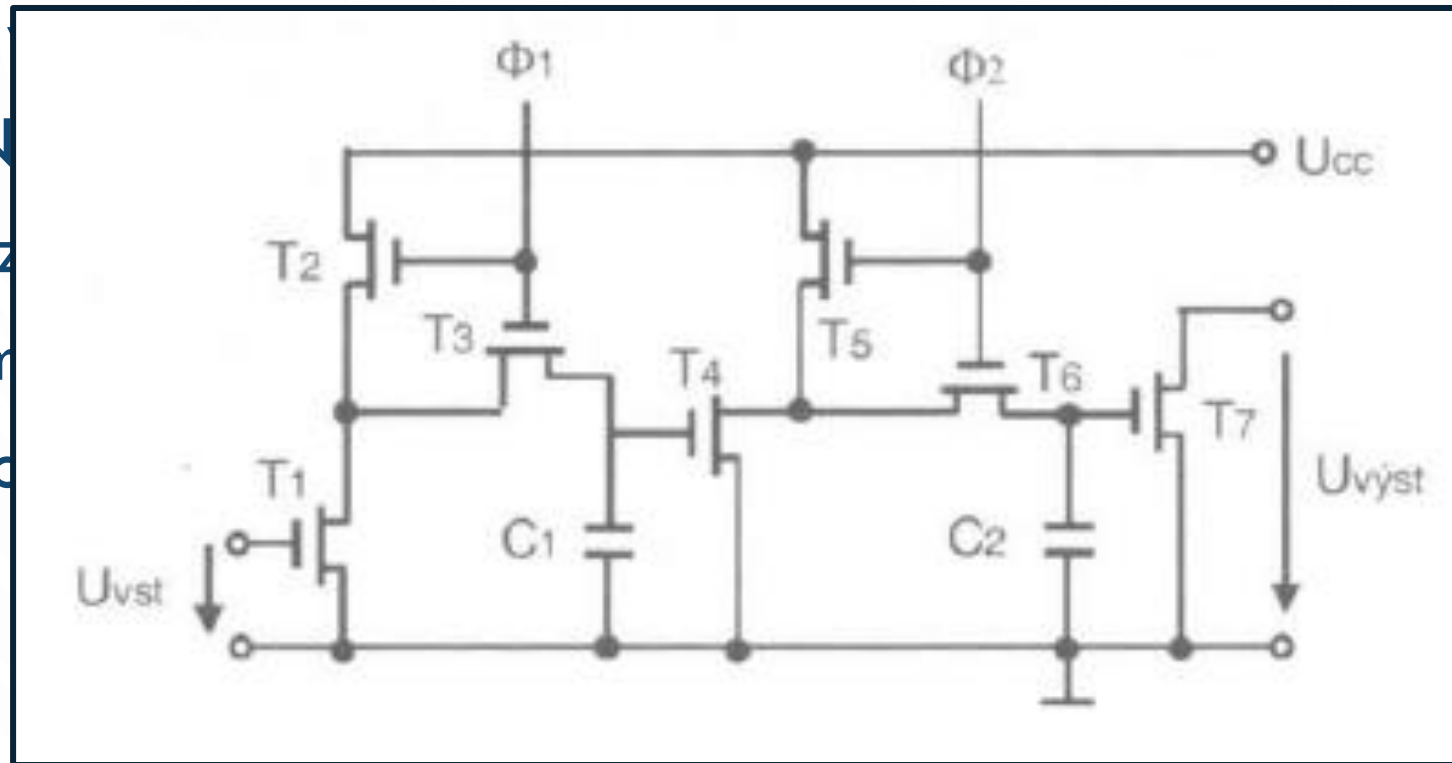
- **sériový zápis informácií** – sériový vstup je pripojený k výstupu externého zdroja dát, pričom zdroj dát musí byť synchronizovaný s hodinovými impulzmi posuvného registra.
- **kruhový posun** – výstup bitu s najvyššou váhou je spojený so vstupom s najnižšou váhou (to platí pre posun vpravo). Pre posun vľavo je to presne naopak. Takýmto registrom sa hovorí aj *kruhový register*. Prichádzajúce taktovacie impulzy udržujú zaznamenanú informáciu v pohybe a na výstupe z posledného klopného obvodu sa pôvodná časová sekvencia objavuje vždy po takom počte takt. impulzov, koľko vstupov má register.

Dynamické posuvné registre

Dynamická štruktúra posuvných registrov pracuje s pamäťovými bunkami, v ktorých je informácia uložená v kapacite hradla tranzistora MOS. Náboj kondenzátora sa na takejto kapacite neudrží neobmedzene dlho a preto musí byť obnovovaný. To sa deje súčasne s posúvaním zaznamenaných dát. Pamäťová bunka dynamického posuvného registra je realizovaná dvomi nezávislými invertormi MOS.

Dynamické posuvné registre

Dynamická štruktúra posuvných registrov pracuje s pamäťovými bunkami, ktoré sa skladajú z dvojice tranzistorov a kondenzátora. Každá bunka je napájaná z U_{CC} a jej výstup je spojený s výstupom ďalšej bunky. Práca dynamického posuvného registra je súčasná s prácou dynamického posuvného registra.



Dynamický posuvný register zostavený z dvoch invertorov MOS

Čítačky impulzov a deličky frekvencií

Čítačky impulzov sú zariadenia, ktoré sa používajú napr. v automatizácii, v priemysle, vo výskume, atď. Počítajú sa napr. automobily, ktoré prešli križovatkou, balíky, ktoré prešli vstupnou/výstupnou bránou, bankovky, atď.

Čítačky impulzov počítajú impulzy, ktoré prichádzajú na jej vstupy a tento počet sa ukladá do pamäte.

Čítačky impulzov a deličky frekvencií

Podľa spôsobu taktovania delíme čítačky impulzov na:

- **asynchrónne** – taktovací signál je odvodený vždy z výstupu predošlého stupňa (čisto asynchrónne) alebo z niektorého z predošlých stupňov. Taktovací signál nesie v sebe informáciu o stave predošlých stupňov a preto majú asynchrónne čítačky jednoduchšie zapojenie v porovnaní so synchronnými. Z dôvodu šírenia signálu cez jednotlivé stupne zapojenia vzniká v obvode časové oneskorenie.

Čítačky impulzov a deličky frekvencií

Podľa spôsobu taktovania delíme čítačky impulzov na:

- **synchronne** – všetky taktovacie vstupy klopných obvodov sú pripojené na spoločný taktovací signál. Tým pádom všetky klopné obvody reagujú na rovnakú hranu (nábežnú alebo dobežnú/čelo alebo tylo) taktovacieho signálu. V prípade tohto typu čítačiek nevznikajú na výstupoch nežiadúce stavy. Na druhej strane, z hľadiska zapojenia sú synchronne čítačky zložitejšie ale zároveň aj rýchlejšie.

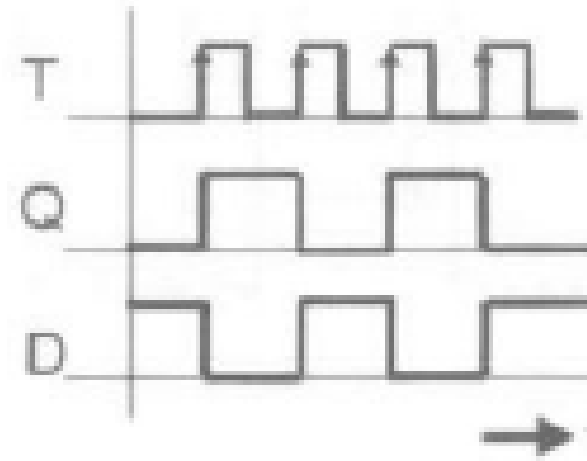
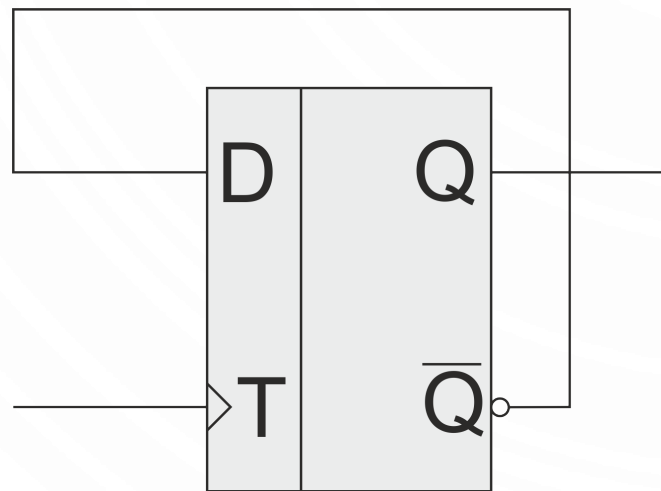
Čítačky impulzov a deličky frekvencií

Podľa použitého kódu sú najbežnejšie **čítačky binárne**, ktoré počítajú vstupné impulzy v binárnom kóde (napr. IO 7493, 74193). Okrem binárnych čítačiek sú významné tiež **čítačky desiatkové**, ktoré pracujú v BCD kóde (7490, 74190). Čítačky môžu byť konštruované taktiež v **Grayovom kóde** príp. v ďalších kódoch.

Čítačky sú sekvenčné logické obvody zložené z klopných obvodov a logických členov.

Čítačky impulzov a deličky frekvencií

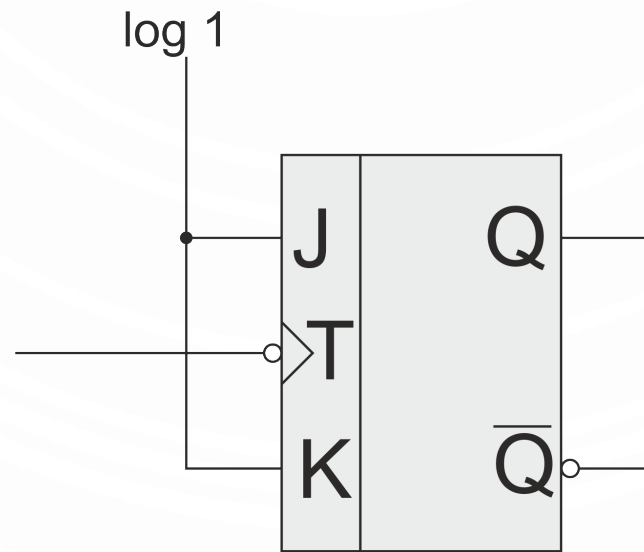
Na obr. na tomto slajde je znázornený klopný obvod typu D tak, že jeho výstup Q je spojený so vstupom D, čím sa získa tzv. delička dvoma.



Klopný obvod typu D ako delička dvoma a časový diagram

Čítačky impulzov a deličky frekvencií

Deličku dvoma je možné vytvoriť aj pomocou JK klopných obvodov. Vstupy J a K musíme pre delenia dvomi spojiť s úrovňou log. 1. Klopný obvod pracuje ako delička frekvencie impulzného priebehu.



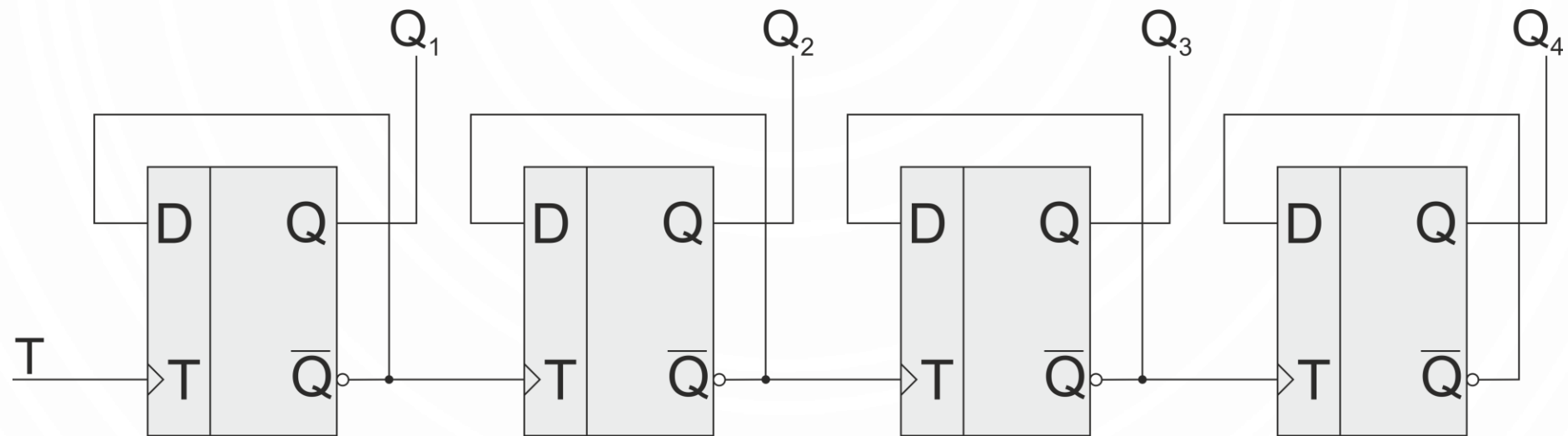
Klopný obvod typu JK ako delička dvoma

Asynchrónne čítačky

Ak zapojíme do série viac klopných obvodov tak, že výstupný signál predošlého je taktovacím signálom nasledujúceho, získame asynchrónnu čítačku. Frekvencia na výstupe každého nasledujúceho stupňa bude polovičná oproti frekvencii predošlého stupňa. Je možné teda povedať, že pôvodná frekvencia je delená dvomi, štyrmi, ôsmymi a všeobecne 2^K , pričom K je počet stupňov klopného obvodu.

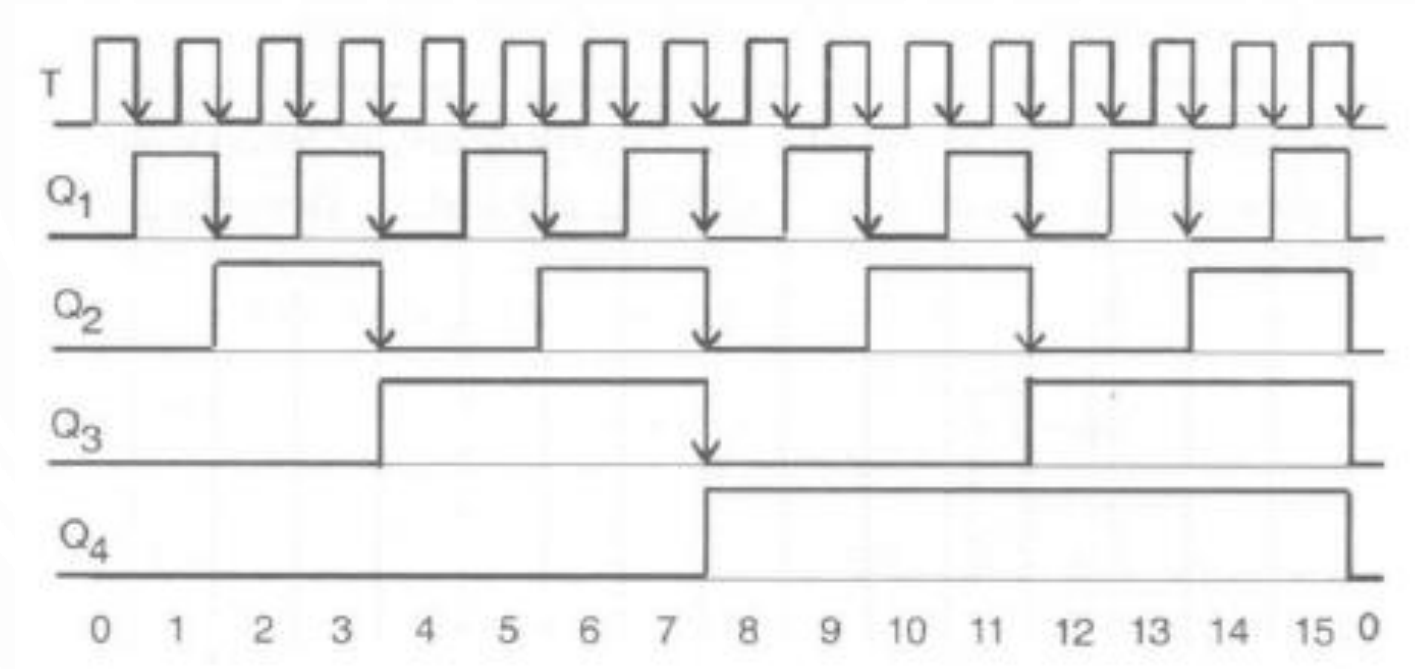
Zapojenie asynchrónnej čítačky so 4 vstupmi z D klopných obvodov je znázornený na ďalšom slajde.

Asynchrónne čítačky



4-bitová binárna asynchrónna sčítačka

Asynchrónne čítačky



Časový diagram 4-bitovej binárnej asynchrónnej sčítačky

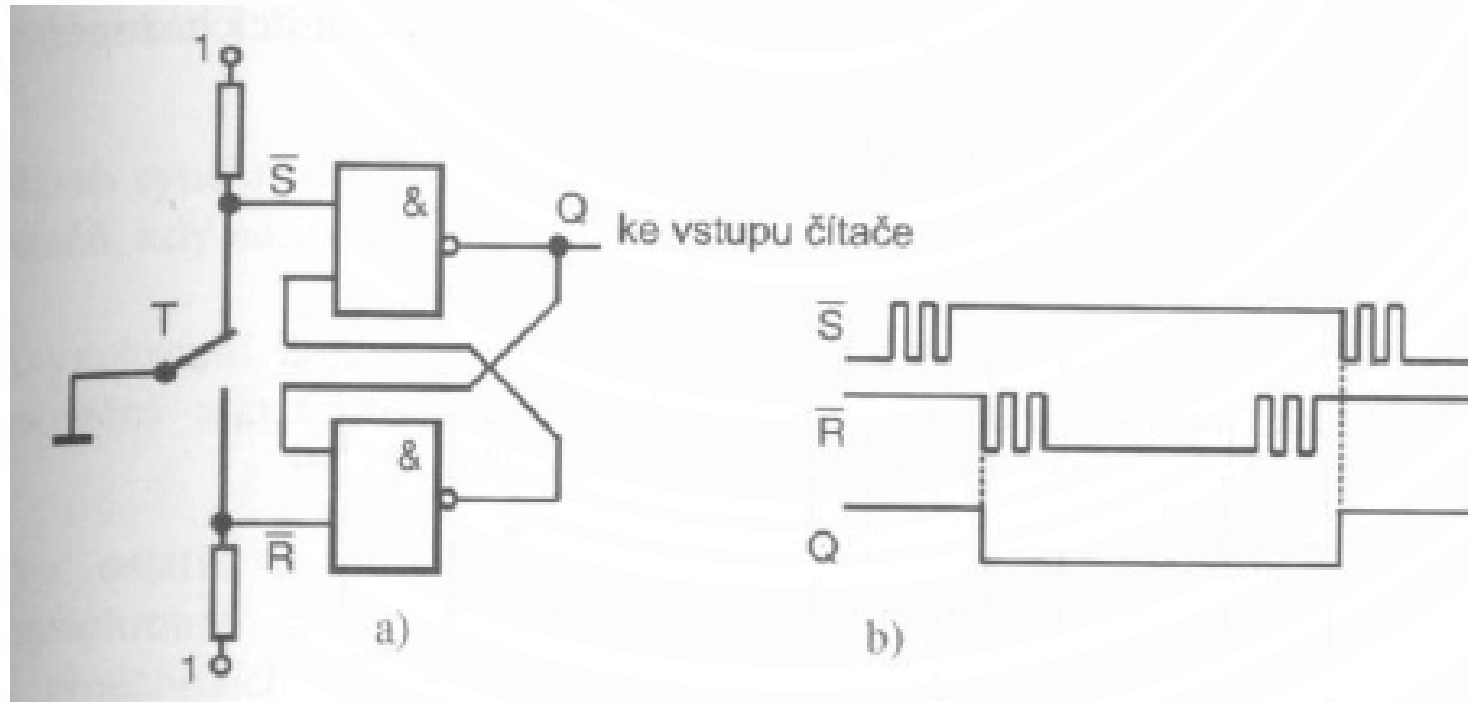
Čítačky a deličky

Klopné obvody sú schopné odpočítavať postupnosť (sled) impulzov, prichádzajúcich na ich vstup. Príchod každého vstupného impulzu je indikovaný zmenou vnútorného stavu každého z klopných obvodov podľa požadovaného binárneho kódu. Vnútorný stav klopných obvodov sa prejavuje na všetkých výstupoch daných klopných obvodov. V tomto prípade hovoríme o **čítačkách impulzov**.

Častokrát je cieľom iba znížiť vstupnú frekvenciu impulzov v definovanom pomere. V takomto prípade odoberáme delenú frekvenciu na jednom z výstupov klopného obvodu. Takejto aplikácii hovoríme **delička frekvencií**.

Čítačky a deličky

Mechanické kontakty pri zopnutí alebo rozopnutí „kmitajú“ a generujú tak nekontrolovaný počet impulzov. Takýmto „tvarovačom“ môže byť napr. RS klopný obvod zapojený podľa obr. na tomto slajde.



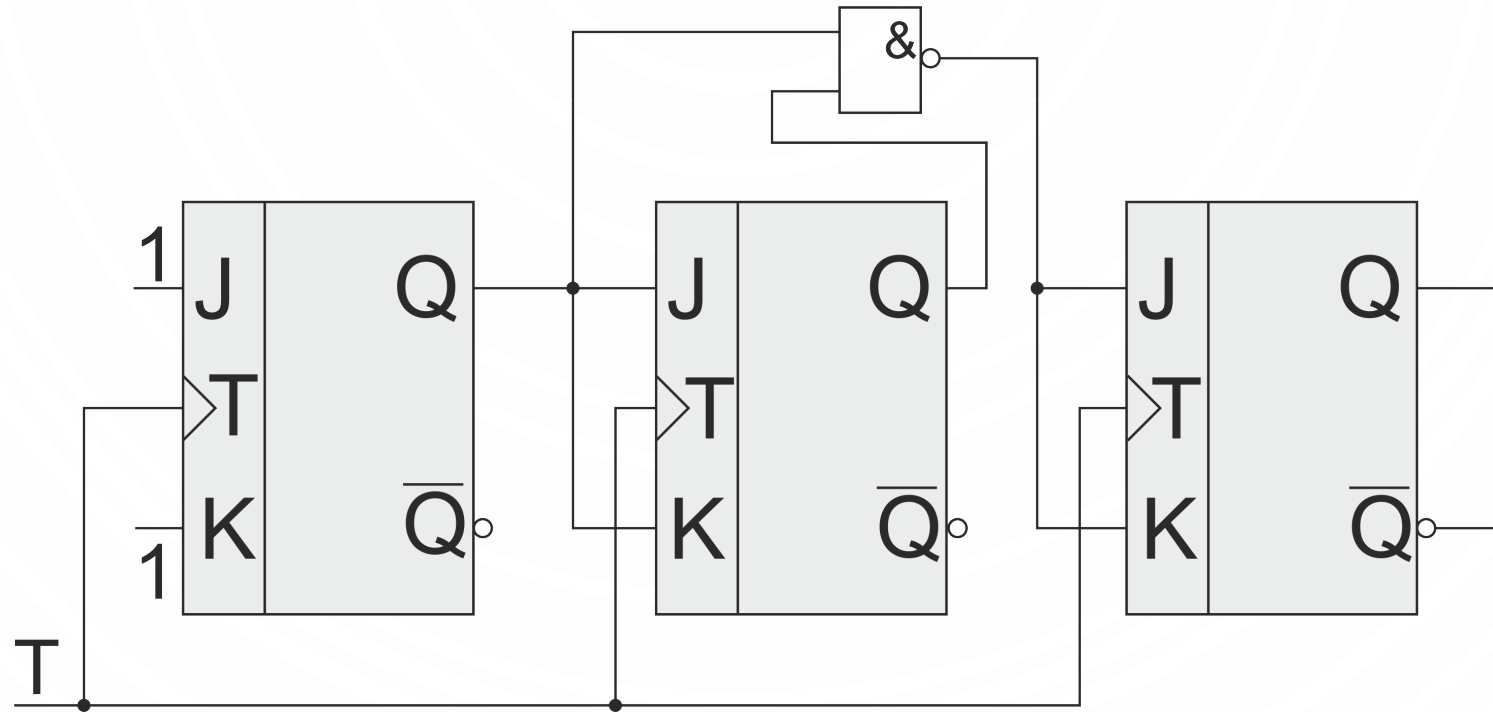
Obvod pre potlačenie rušivých impulzov a) zapojenie, b) časový priebeh

Synchrónne čítačky

Synchrónne čítačky majú jeden taktovací signál pripojený ku všetkým klopným obvodom. Všetky klopné obvody tak menia svoj stav súčasne. Synchrónne čítačky tak eliminujú problém s časovým oneskorením a nežiaducimi stavmi. K bitová binárna synchrónna čítačka, rovnako ako asynchrónna čítačka, má N stavov, kde $N=2^K$, kde K je počet stupňov čítačky.

Synchronne čítačky

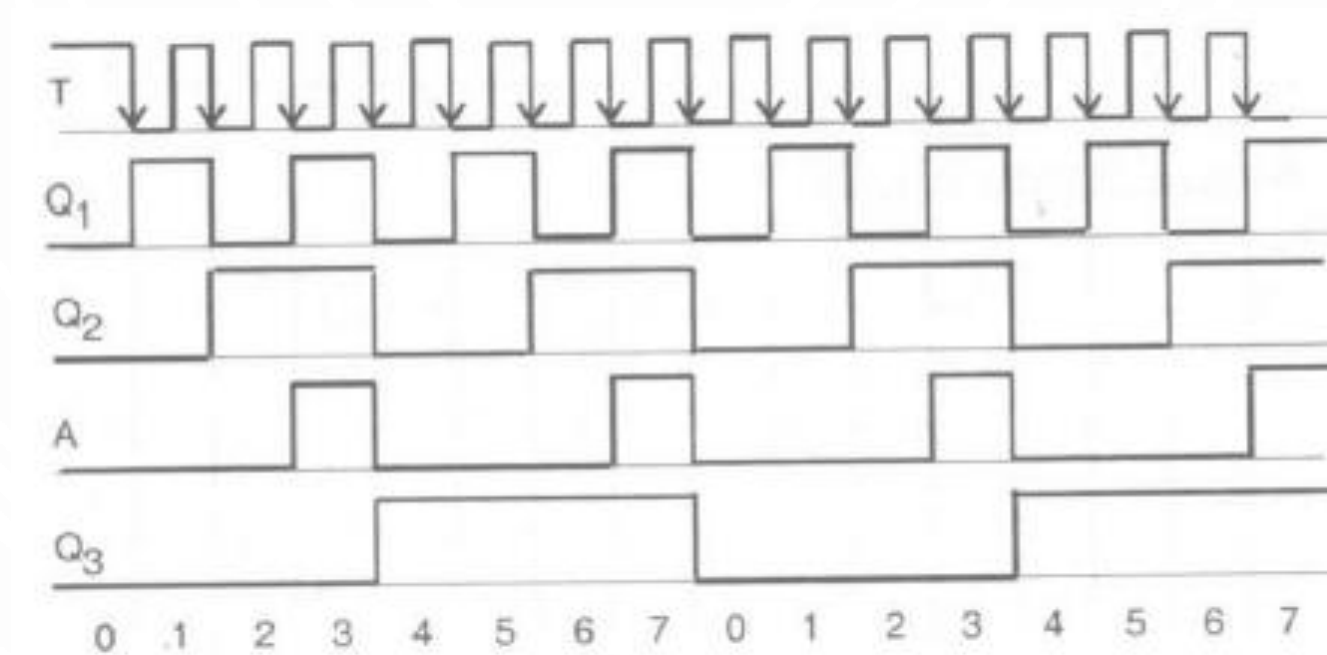
Synchronná čítačka realizovaná JK klopnými obvodmi:



Synchronná čítačka realizovaná JK klopnými obvodmi

Synchronne čítačky

Časový diagram čítačky:



Časový diagram synchronnej čítačky realizovanej JK klopnými obvodmi

Integrované asynchrónne čítačky

Základné a najjednoduchšie asynchrónne čítačky predstavujú nasledovné IO:

- 7490 – desiatková čítačka
- 7493 – jednoduchá 4-bitová binárna čítačka

Integrované synchronne čítačky

Synchronne čítačky odstraňujú problém s oneskorením impulzov v jednotlivých klopných obvodoch asynchrónnej čítačky. V prípade synchronných čítačiek sa všetky klopné obvody taktujú súčasne, teda synchronne.

Ako príklad je možné uviesť synchronnú čítačku **74193**. Ide o binárnu 4-bitovú čítačku s voliteľným smerom čítania (vpred alebo vzad). Čítačka má vstup pre nulovanie a vstup pre zápis predvoľby stavu jednotlivých klopných obvodov.

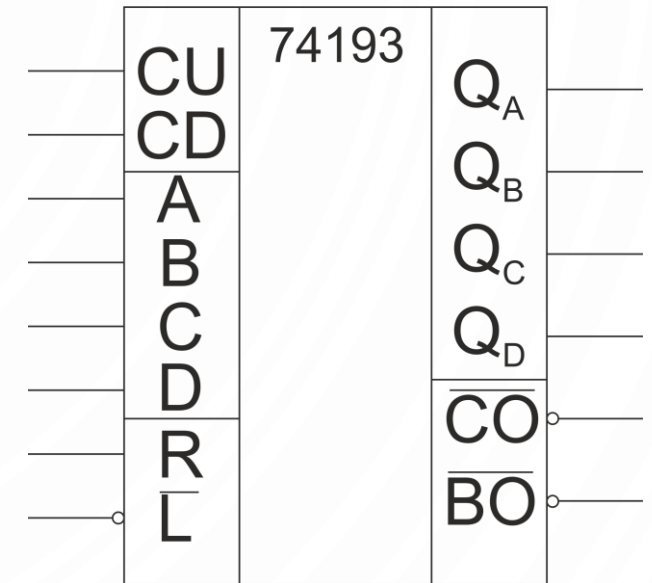
Integrované synchronne čítačky - 74193

Čítačka má **8 vstupov**:

- taktovací vstup pre čítanie vpred CU (Count Up)
- taktovací vstup pre čítanie vzad CD (Count Down)
- dátové vstupy pre nastavenie výstupu A, B, C, D
- vstup R pre nulovanie výstupu (Reset)
- riadiaci vstup \bar{L} pre nahratie dátových vstupov

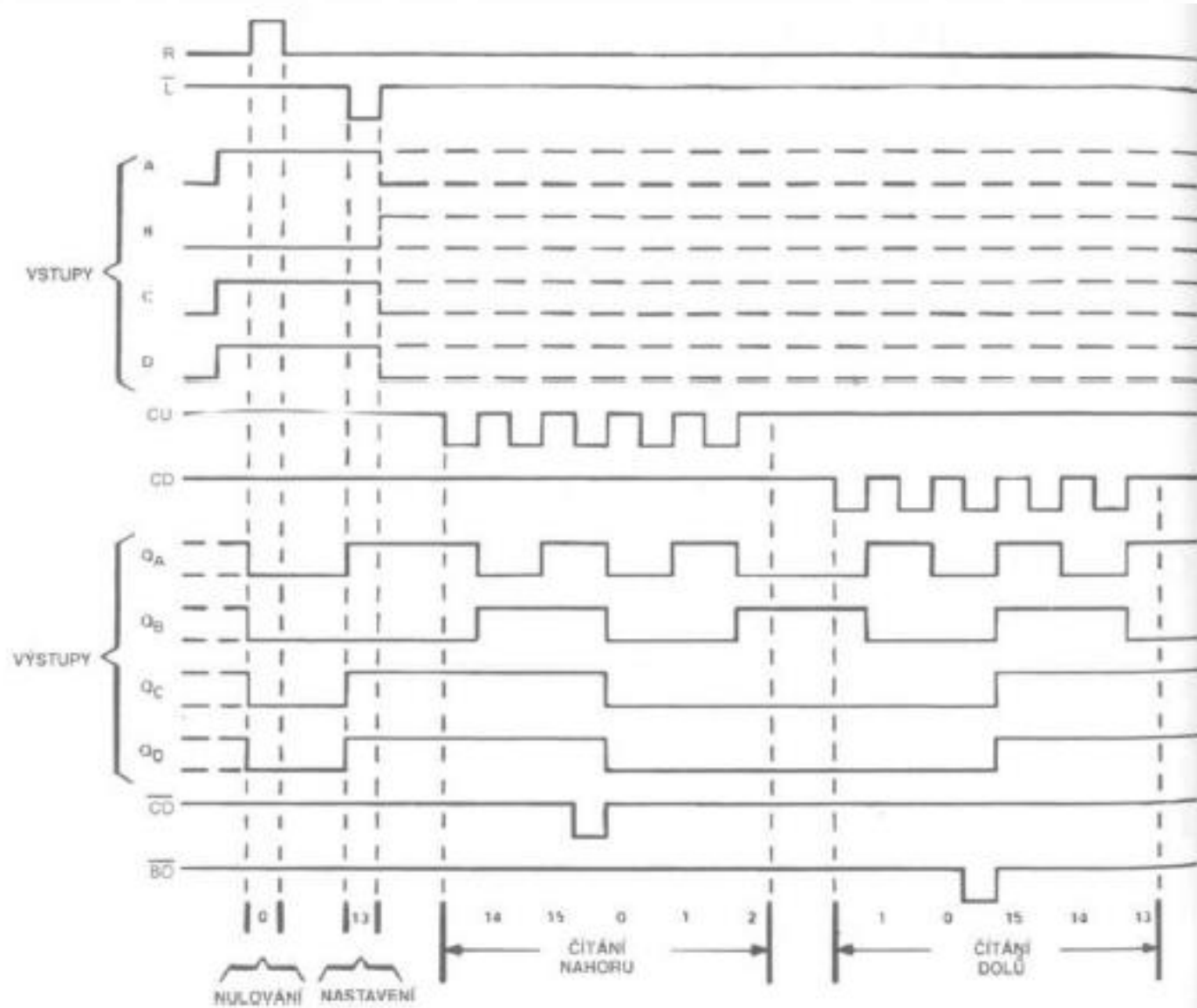
6 výstupov:

- 4 výstupy čítačky Q_A , Q_B , Q_C , Q_D . Výstup Q_A je bit s najnižšou váhou
- prenos pri čítaní vpred \overline{CO} (Carry Output)
- prenos pri čítaní vzad \overline{BO} (Borrow Output)



Symbol čítačky 74193

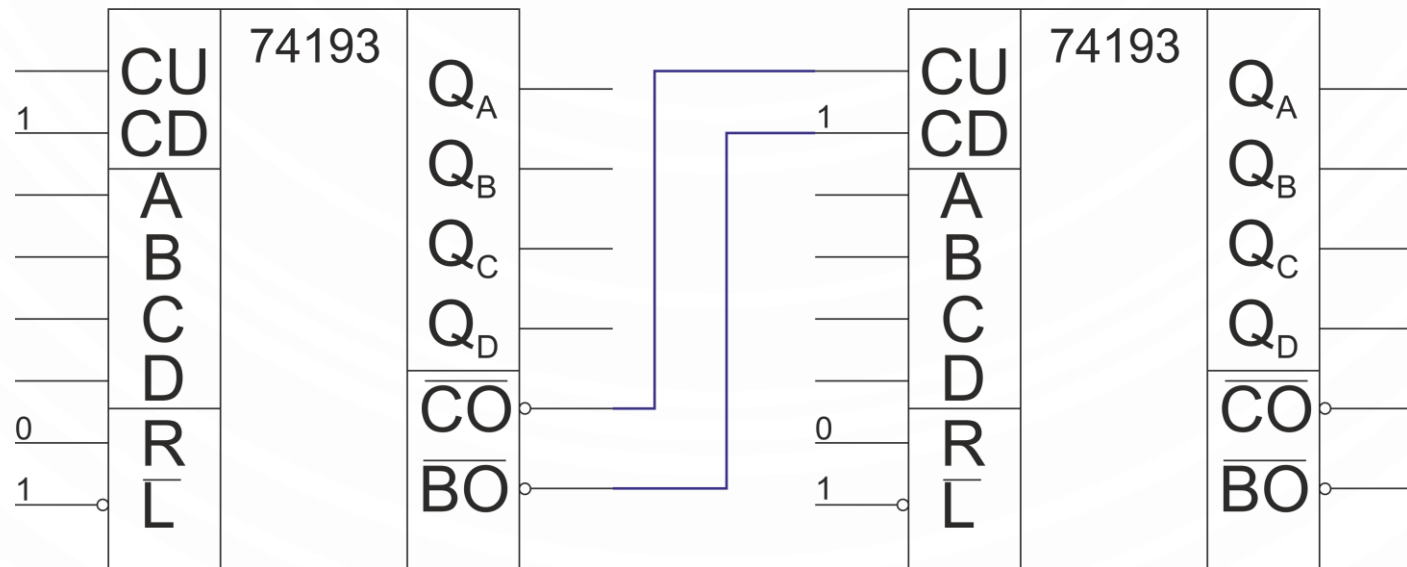
Integrované synchronné čítačky - 74193



Časový diagram funkcií synchronnej čítačky 74193

Integrované synchronné čítačky - 74193

Výstupy pre prenos vpred \overline{CO} a pre prenos vzad \overline{BO} sa používajú pri zapájaní viacerých čítačiek 74193 do kaskády (pre vytvorenie čítačky s vyšším počtom bitov). Pre spojenie dvoch čítačiek 74193 do kaskády získame 8-bitovú čítačku s 256 stavmi.



Zapojenie dvoch čítačiek 74193 do kaskády