

Fakulta elektrotechniky  
a informatiky

Ing. Peter Lukács, PhD.

Počítačové inžinierstvo v elektronike  
LS 2021/2022

Kombinačné logické obvody

# Neudeľujem súhlas na vyhotovenie audio-vizuálneho záznamu!

- Je zakázané vytvárať akýkoľvek zvukový, vizuálny alebo audio-vizuálny záznam.
- Môžu byť použité právne prostriedky, ak sa ktorákoľvek časť tejto videokonferencie bude šíriť bez súhlasu autora.

- *Zákon č. 18/2018 Zz - Zákon o ochrane osobných údajov*
- *Zákon č. 185/2015 Z. z. Autorský zákon*



# Kombinačné logické obvody

**Kombinačné logické obvody (KLO)** sú obvody, v prípade ktorých môžu vstupné a výstupné premenné v ustálenom stave nadobúdať jednu z dvoch možných stavov (log. 0 alebo 1). KLO sú realizované spojením základných logických členov tak, aby spĺňali požadovanú logickú funkciu.

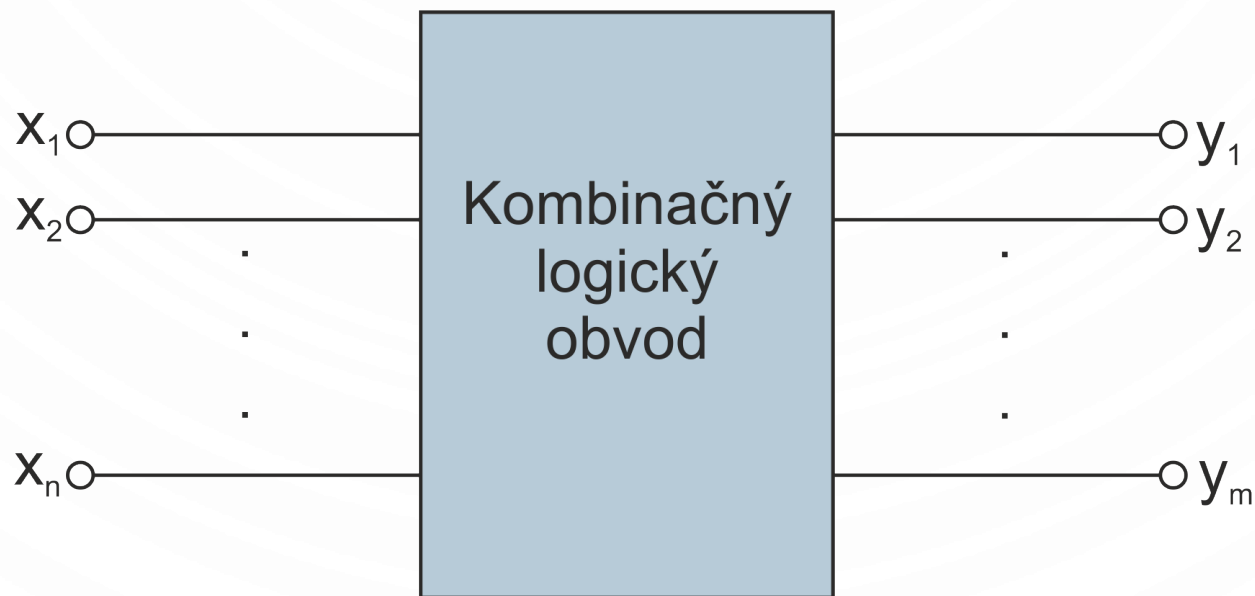
**Okamžitá hodnota výstupných premenných KLO je daná iba okamžitou kombináciou vstupných premenných. To znamená, že KLO nie sú závislé od predošlých kombinácií vstupov.**

# Kombinačné logické obvody

KLO je možné popísať nasledovnou rovnicou:

$$Y_i = f(X_j), \quad \text{kde } i=1, 2, \dots, m, j=1, 2, \dots, n.$$

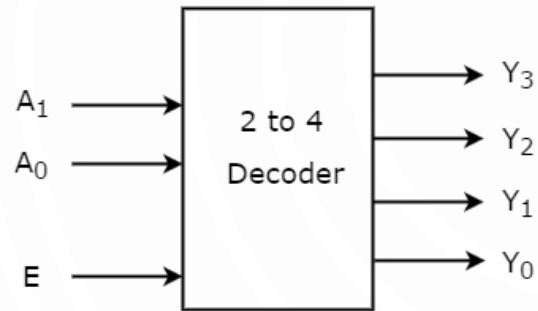
Premenné  $X_i = x_1, x_2, \dots, x_m$  predstavujú vstupné premenné a premenné  $Y_i = y_1, y_2, \dots, y_n$  predstavujú výstupné premenné KLO.



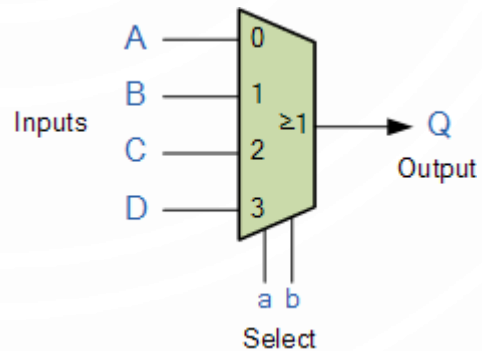
Bloková schéma KLO

# Typickými predstaviteľmi log. obvodov sú:

- Dekodéry



- Multiplexory a demultiplexory



- Komparátory

- Obvody pre aritmetické operácie (sčítačky, generátory, atď'...)

# Dekodéry

**Dekodéry** sú kombinačné logické obvody, ktoré v závislosti na kombinácii vstupných premenných generujú určitý kód, teda kombináciu binárnych stavov.

**Binárne dekodéry** prevádzajú binárne stavy usporiadané v jednom kóde na binárne stavy v inom kóde. Ako príklad je možné uviesť dekodér  $1$  z  $N$ , ktorý prevádza stavy z *priameho binárneho kódu* na kód, v ktorom je aktívny stále len jeden z výstupov.

# Dekodér z binárneho kódu na kód 1 z 4

- Najjednoduchší používaný dekodér tohto typu je dekodér dvojbitového binárneho kódu na kód 1 z 4. Pravdivostná tabuľka má 2 vstupné a 4 výstupné premenné:

Vstupy		Výstupy			
b	a	$y_0$	$y_1$	$y_2$	$y_3$
0	0	1	0	0	0
0	1	0	1	0	0
1	0	0	0	1	0
1	1	0	0	0	1

Pravdivostná tabuľka na prevod binárneho kódu na kód 1 z 4

# Dekodér z binárneho kódu na kód 1 z 4

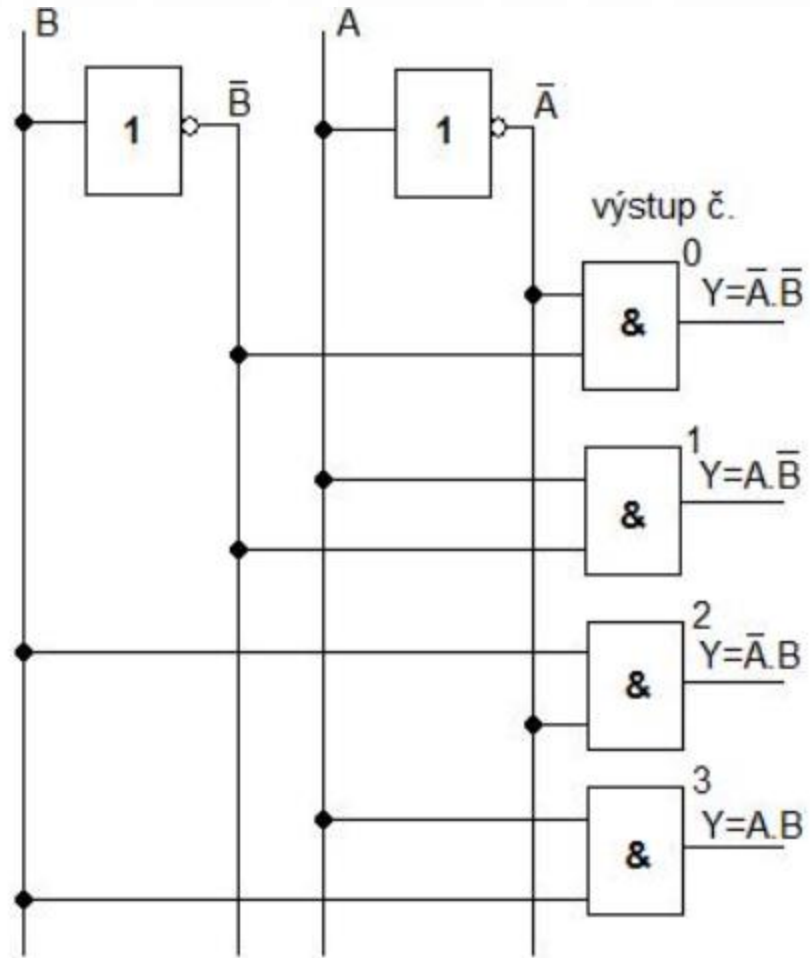
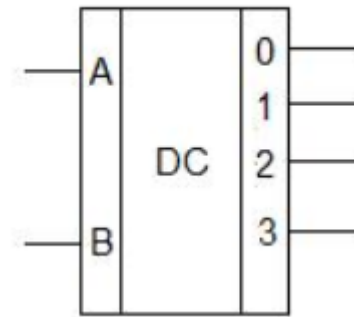


Schéma zapojenia dekodéra 1 z 4



Bloková značka dekodéra 1 z 4





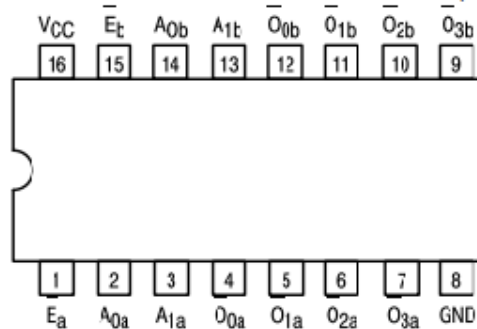
De

## DUAL 1-OF-4 DECODER/ DEMULTIPLEXER

The LSTTL/MSI SN54/74LS139 is a high speed Dual 1-of-4 Decoder/Demultiplexer. The device has two independent decoders, each accepting two inputs and providing four mutually exclusive active LOW Outputs. Each decoder has an active LOW Enable input which can be used as a data input for a 4-output demultiplexer. Each half of the LS139 can be used as a function generator providing all four minterms of two variables. The LS139 is fabricated with the Schottky barrier diode process for high speed and is completely compatible with all Motorola TTL families.

- Schottky Process for High Speed
- Multifunction Capability
- Two Completely Independent 1-of-4 Decoders
- Active Low Mutually Exclusive Outputs
- Input Clamp Diodes Limit High Speed Termination Effects
- ESD > 3500 Volts

### CONNECTION DIAGRAM DIP (TOP VIEW)



NOTE:  
The Flatpak version  
has the same pinouts  
(Connection Diagram) as  
the Dual In-Line Package.

### PIN NAMES

$A_0, A_1$  Address Inputs  
 $\bar{E}$  Enable (Active LOW) Input  
 $O_0-O_3$  Active LOW Outputs (Note b)

### LOADING (Note a)

HIGH	LOW
0.5 U.L.	0.25 U.L.
0.5 U.L.	0.25 U.L.
10 U.L.	5 (2.5) U.L.

### NOTES:

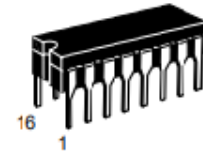
a) 1 TTL Unit Load (U.L.) = 40  $\mu$ A HIGH/1.6 mA LOW.

b) The Output LOW drive factor is 2.5 U.L. for Military (54) and 5 U.L. for Commercial (74) Temperature Ranges.

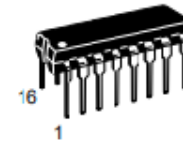
SN54/74LS139

z 4

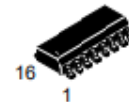
DUAL 1-OF-4 DECODER/  
DEMULTIPLEXER  
LOW POWER SCHOTTKY



J SUFFIX  
CERAMIC  
CASE 520-09



N SUFFIX  
PLASTIC  
CASE 548-08



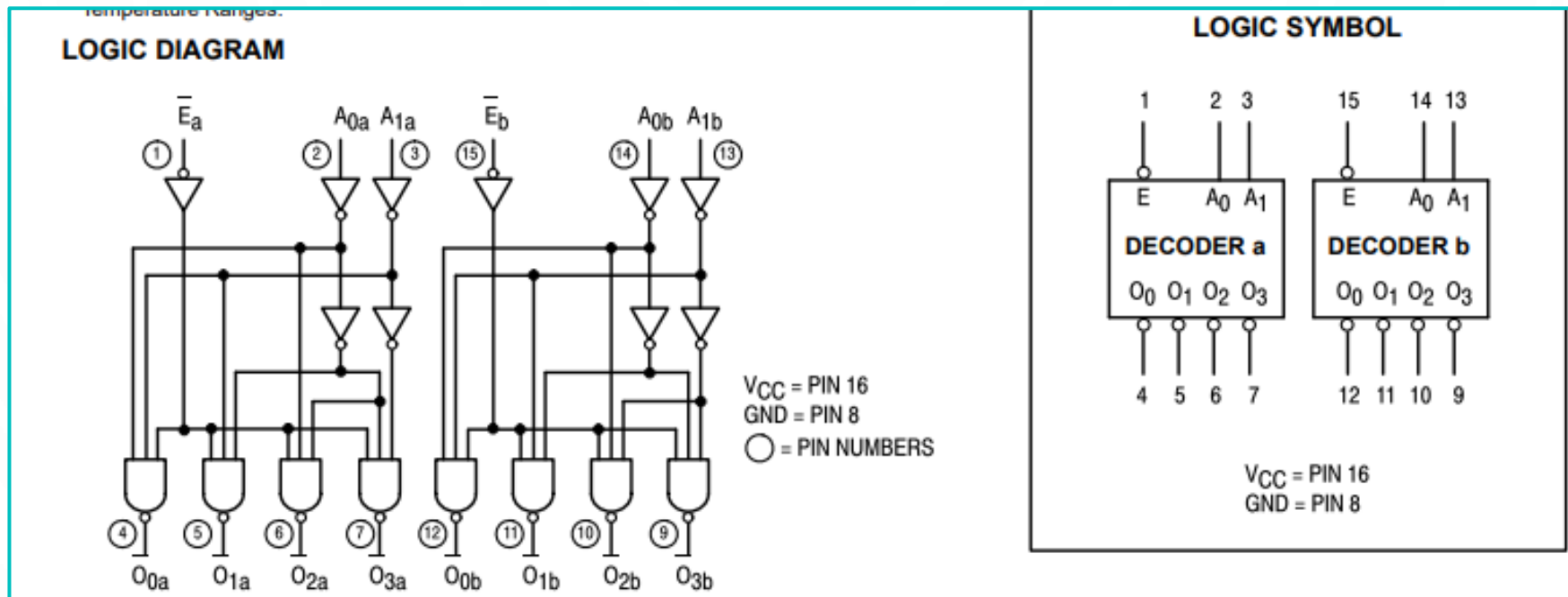
D SUFFIX  
SOIC  
CASE 751B-03

### ORDERING INFORMATION

SN54LSXXXJ Ceramic  
 SN74LSXXXN Plastic  
 SN74LSXXXD SOIC

LOGIC SYMBOL

# Dekodér z binárneho kódu na kód 1 z 4



# Dekodér z binárneho kódu na kód 1 z 4

TRUTH TABLE

INPUTS			OUTPUTS			
E	A <sub>0</sub>	A <sub>1</sub>	O <sub>0</sub>	O <sub>1</sub>	O <sub>2</sub>	O <sub>3</sub>
H	X	X	H	H	H	H
L	L	L	L	H	H	H
L	H	L	H	L	H	H
L	L	H	H	H	L	H
L	H	H	H	H	H	L

H = HIGH Voltage Level  
L = LOW Voltage Level  
X = Don't Care

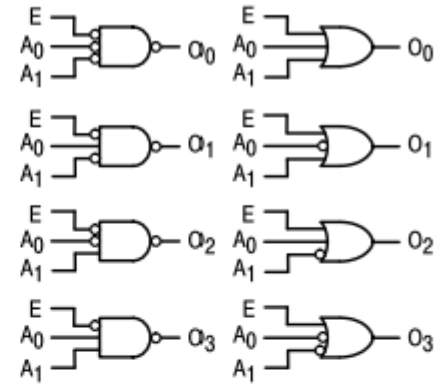


Figure a

GUARANTEED OPERATING RANGES

Symbol	Parameter		Min	Typ	Max	Unit
V <sub>CC</sub>	Supply Voltage	54 74	4.5 4.75	5.0 5.0	5.5 5.25	V
T <sub>A</sub>	Operating Ambient Temperature Range	54 74	-55 0	25 25	125 70	°C
I <sub>OH</sub>	Output Current — High	54, 74			-0.4	mA
I <sub>OL</sub>	Output Current — Low	54 74			4.0 8.0	mA

# Dekode

## SN54/74LS139

z 4

### DC CHARACTERISTICS OVER OPERATING TEMPERATURE RANGE (unless otherwise specified)

Symbol	Parameter	Limits			Unit	Test Conditions
		Min	Typ	Max		
$V_{IH}$	Input HIGH Voltage	2.0			V	Guaranteed Input HIGH Voltage for All Inputs
$V_{IL}$	Input LOW Voltage	54		0.7	V	Guaranteed Input LOW Voltage for All Inputs
		74		0.8		
$V_{IK}$	Input Clamp Diode Voltage		-0.65	-1.5	V	$V_{CC} = \text{MIN}$ , $I_{IN} = -18 \text{ mA}$
$V_{OH}$	Output HIGH Voltage	54	2.5	3.5	V	$V_{CC} = \text{MIN}$ , $I_{OH} = \text{MAX}$ , $V_{IN} = V_{IH}$ or $V_{IL}$ per Truth Table
		74	2.7	3.5	V	
$V_{OL}$	Output LOW Voltage	54, 74	0.25	0.4	V	$I_{OL} = 4.0 \text{ mA}$ , $V_{CC} = V_{CC} \text{ MIN}$ , $V_{IN} = V_{IL}$ or $V_{IH}$ per Truth Table
		74	0.35	0.5	V	$I_{OL} = 8.0 \text{ mA}$
$I_{IH}$	Input HIGH Current			20	$\mu\text{A}$	$V_{CC} = \text{MAX}$ , $V_{IN} = 2.7 \text{ V}$
				0.1	mA	$V_{CC} = \text{MAX}$ , $V_{IN} = 7.0 \text{ V}$
$I_{IL}$	Input LOW Current			-0.4	mA	$V_{CC} = \text{MAX}$ , $V_{IN} = 0.4 \text{ V}$
$I_{OS}$	Short Circuit Current (Note 1)	-20		-100	mA	$V_{CC} = \text{MAX}$
$I_{CC}$	Power Supply Current			11	mA	$V_{CC} = \text{MAX}$

Note 1: Not more than one output should be shorted at a time, nor for more than 1 second.

### AC CHARACTERISTICS ( $T_A = 25^\circ\text{C}$ )

Symbol	Parameter	Levels of Delay	Limits			Unit	Test Conditions
			Min	Typ	Max		
$t_{PLH}$ $t_{PHL}$	Propagation Delay Address to Output	2 2		13 22	20 33	ns	$V_{CC} = 5.0 \text{ V}$ $C_L = 15 \text{ pF}$
$t_{PLH}$ $t_{PHL}$	Propagation Delay Address to Output	3 3		18 25	29 38	ns	
$t_{PLH}$ $t_{PHL}$	Propagation Delay Enable to Output	2 2		16 21	24 32	ns	

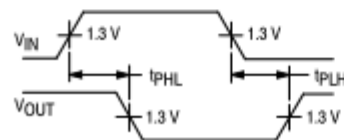


Figure 1

### AC WAVEFORMS

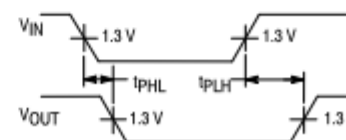


Figure 2

# Dekodér z kódu BCD na kód 1 z 10

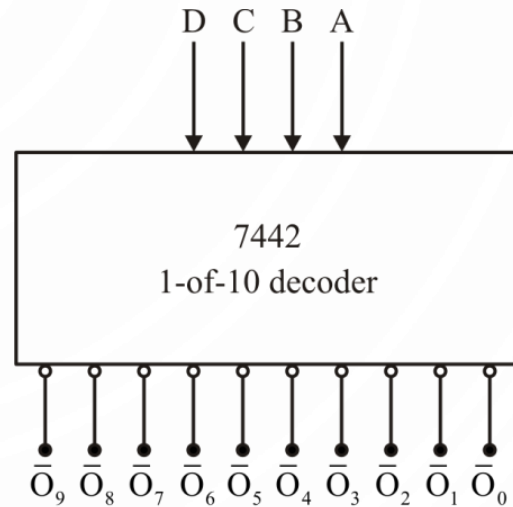
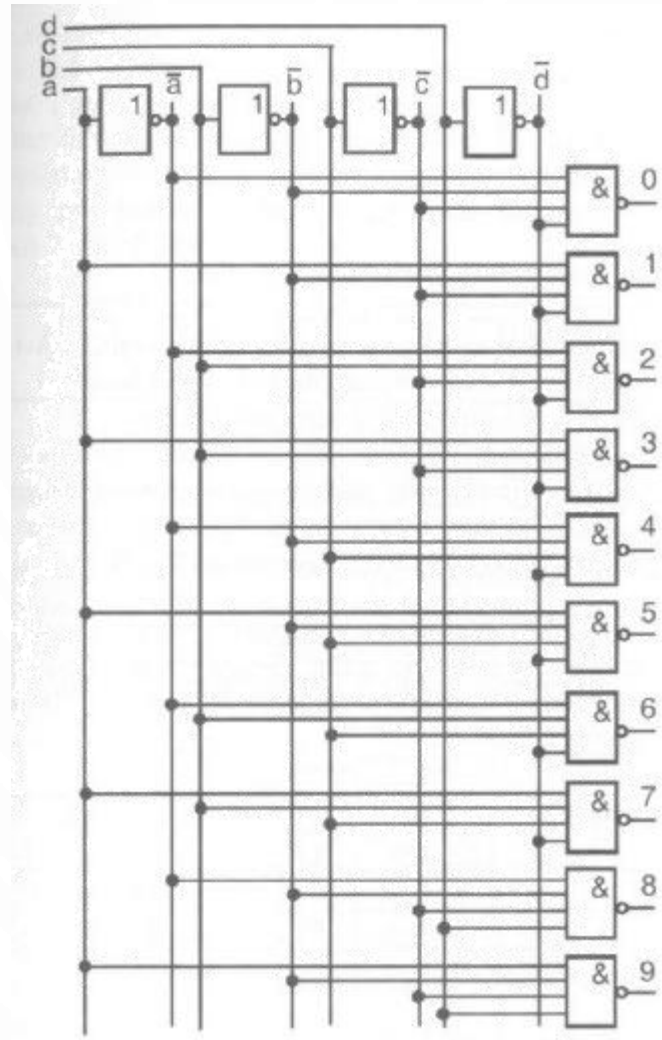
- Ďalším typom je dekodér z BCD kódu na kód 1 z 10. Vstup tohto dekodéra je paralelné 4 bitové slovo v BCD kóde. K realizácii sa používa 10 súčinných hradiel NAND.
- Dodáva sa ako integrovaný obvod s označením 7442 alebo 74LS42, d'alším typom sú obvody 74145 a 74LS145 (majú nižší odber).

# Dekodér z kódu BCD na kód 1 z 10

Vstupy				Výstupy									
d	c	b	a	0	1	2	3	4	5	6	7	8	9
0	0	0	0	0	1	1	1	1	1	1	1	1	1
0	0	0	1	1	0	1	1	1	1	1	1	1	1
0	0	1	0	1	1	0	1	1	1	1	1	1	1
0	0	1	1	1	1	1	0	1	1	1	1	1	1
0	1	0	0	1	1	1	1	0	1	1	1	1	1
0	1	0	1	1	1	1	1	1	0	1	1	1	1
0	1	1	0	1	1	1	1	1	1	0	1	1	1
0	1	1	1	1	1	1	1	1	1	1	0	1	1
1	0	0	0	1	1	1	1	1	1	1	1	0	1
1	0	0	1	1	1	1	1	1	1	1	1	1	0

Pravdivostná tabuľka na prevod BCD kódu na kód 1 z 10

# Dekodér z kódu BCD na kód 1 z 10

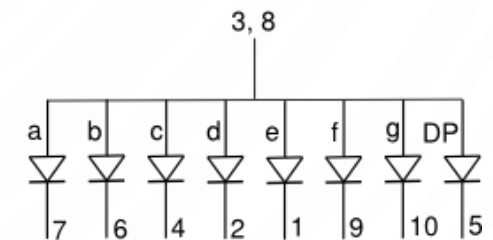
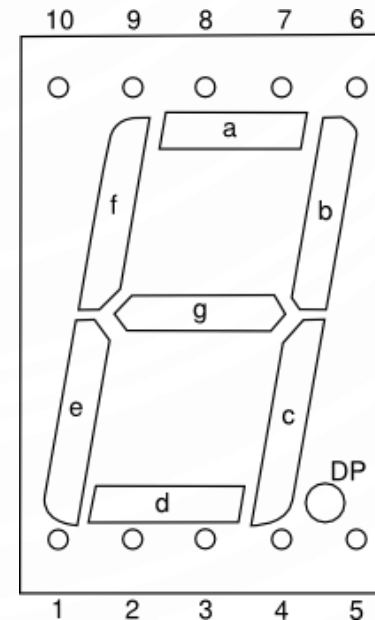
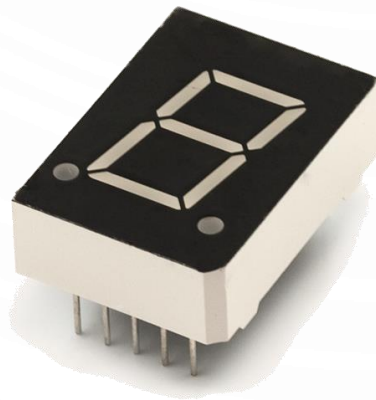


Bloková značka dekodéra 7442

Schéma zapojenia dekodéra z BCD kódu na kód 1 z 10

# Dekodéry pre 7 segmentové displeje

- Tento typ dekodérov slúži na prevod BCD kódu na kód 7 segmentových displejov.
- Segmenty sú označené písmenami a,b,c,d,e,f,g. Existujú buď so spoločnou anódou alebo spoločnou katódou.
- V prípade, ak má displej spoločnú anódu, na rozsvietenie segmentu je potrebná logická 0.



7 segmentový displej so spoločnou anódou



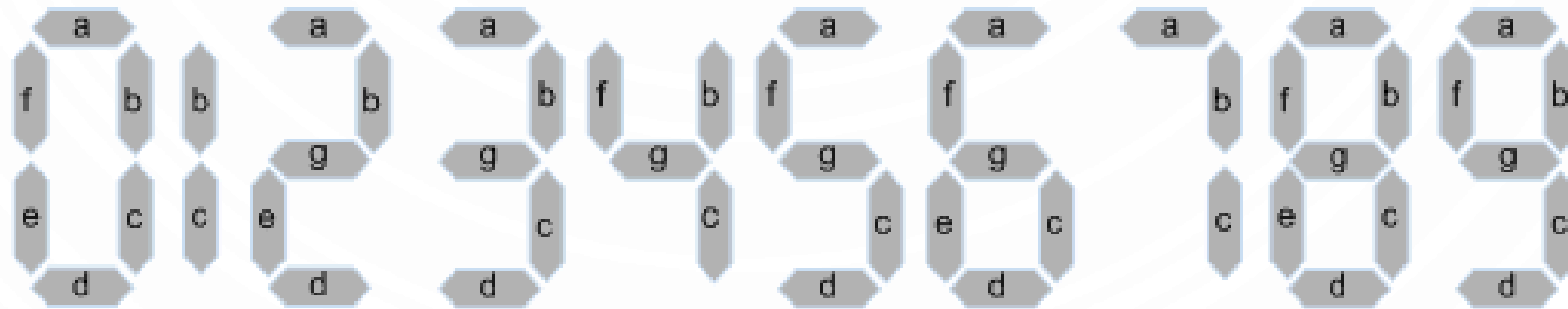
# Dekodéry pre 7 segmentové displeje

Dekadická hodnota	Vstupy				Výstup – označenie segmentov						
	D	C	B	A	a	b	c	d	e	f	g
0	0	0	0	0	0	0	0	0	0	0	1
1	0	0	0	1	1	0	0	1	1	1	1
2	0	0	1	0	0	0	1	0	0	1	0
3	0	0	1	1	0	0	0	0	1	1	0
4	0	1	0	0	1	0	0	1	1	0	0
5	0	1	0	1	0	1	0	0	1	0	0
6	0	1	1	0	0	1	0	0	0	0	0
7	0	1	1	1	0	0	0	1	1	1	1
8	1	0	0	0	0	0	0	0	0	0	0
9	1	0	0	1	0	0	0	0	1	0	0

Pravdivostná tabuľka 7 segmentového displeja so spoločnou anódou (segmenty svietia pri log. 0)

# Dekodéry pre 7 segmentové displeje

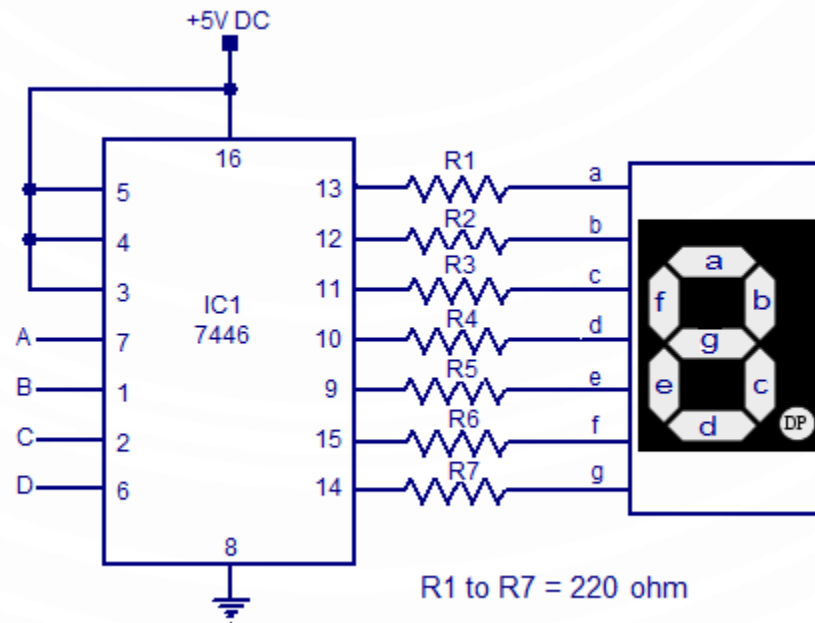
- Dekodéry pre 7 segmentové displeje sa dodávajú ako integrované obvody, napr. 7446 alebo 7447 (pre displeje so spoločnou anódou). Pre displeje so spoločnou katódou sa používajú 7448 a 7449.



Používané segmenty pre dekad. číslice 0 až 9 pre dekodéry 7446 až 7449

# Dekodéry pre 7 segmentové displeje

- Na obrázku nižšie je uvedené zapojenie dekodéra 7446. Rezistory medzi dekodérom a displejom slúžia na obmedzenie prúdu, ktorý prechádza jednotlivými segmentmi. Hodnota rezistora sa určuje podľa konkrétneho displeja (pre 15 mA je to približne 150 až 250  $\Omega$ ).



# Dekodér



September 1986  
Revised July 2001

## DM7446A, DM7447A BCD to 7-Segment Decoders/Drivers

### General Description

The DM7446A and DM7447A feature active-LOW outputs designed for driving common-anode LEDs or incandescent indicators directly. All of the circuits have full ripple-blanking input/output controls and a lamp test input. Segment identification and resultant displays are shown on a following page. Display patterns for BCD input counts above nine are unique symbols to authenticate input conditions.

All of the circuits incorporate automatic leading and/or trailing-edge, zero-blanking control (RBI and RBO). Lamp test (LT) of these devices may be performed at any time when the BI/RBO node is at a HIGH logic level. All types contain an overriding blanking input (BI) which can be used to control the lamp intensity (by pulsing) or to inhibit the outputs.

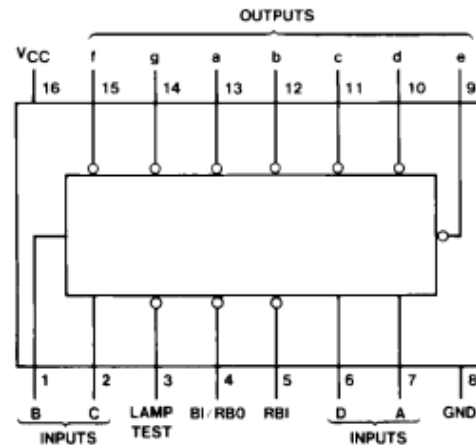
### Features

- All circuit types feature lamp intensity modulation capability
- Open-collector outputs drive indicators directly
- Lamp-test provision
- Leading/trailing zero suppression

### Ordering Code:

Order Number	Package Number	Package Description
DM7446AN	N16E	16-Lead Plastic Dual-In-Line Package (PDIP), JEDEC MS-001, 0.300" Wide
DM7447AN	N16E	16-Lead Plastic Dual-In-Line Package (PDIP), JEDEC MS-001, 0.300" Wide

### Connection Diagram



DM7446A, DM7447A BCD to 7-Segment Decoders/Drivers

De

DM7446A, DM7447A

## Function Table

Decimal or Function	Inputs						BI/RBO (Note 1)	Outputs							Note
	LT	RBI	D	C	B	A		a	b	c	d	e	f	g	
0	H	H	L	L	L	L	H	L	L	L	L	L	L	H	(Note 2)
1	H	X	L	L	L	H	H	H	L	L	H	H	H	H	
2	H	X	L	L	H	L	H	L	L	H	L	L	H	L	
3	H	X	L	L	H	H	H	L	L	L	L	H	H	L	
4	H	X	L	H	L	L	H	H	L	L	H	H	L	L	
5	H	X	L	H	L	H	H	L	H	L	L	H	L	L	
6	H	X	L	H	H	L	H	H	H	L	L	L	L	L	
7	H	X	L	H	H	H	H	L	L	L	H	H	H	H	
8	H	X	H	L	L	L	H	L	L	L	L	L	L	L	
9	H	X	H	L	L	H	H	L	L	L	H	H	L	L	
10	H	X	H	L	H	L	H	H	H	H	L	L	H	L	
11	H	X	H	L	H	H	H	H	H	L	L	H	H	L	
12	H	X	H	H	L	L	H	H	L	H	H	H	L	L	
13	H	X	H	H	L	H	H	L	H	H	L	H	L	L	
14	H	X	H	H	H	L	H	H	H	H	L	L	L	L	
15	H	X	H	H	H	H	H	H	H	H	H	H	H	H	
BI	X	X	X	X	X	X	L	H	H	H	H	H	H	H	(Note 3)
RBI	H	L	L	L	L	L	L	H	H	H	H	H	H	H	(Note 4)
LT	L	X	X	X	X	X	H	L	L	L	L	L	L	L	(Note 5)

H = HIGH level, L = LOW level, X = Don't Care

**Note 1:** BI/RBO is a wire-AND logic serving as blanking input (BI) and/or ripple-blanking output (RBO).

**Note 2:** The blanking input (BI) must be OPEN or held at a HIGH logic level when output functions 0 through 15 are desired. The ripple-blanking input (RBI) must be OPEN or HIGH if blanking of a decimal zero is not desired.

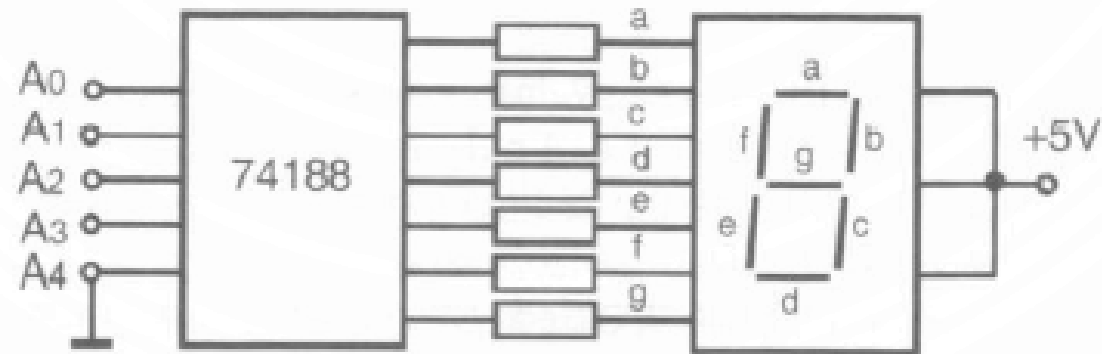
**Note 3:** When a LOW logic level is applied directly to the blanking input (BI), all segment outputs are HIGH regardless of the level of any other input.

**Note 4:** When ripple-blanking input (RBI) and inputs A, B, C, and D are at a LOW level with the lamp test input HIGH, all segment outputs go H and the ripple-blanking output (RBO) goes to a LOW level (response condition).

**Note 5:** When the blanking input/ripple-blanking output (BI/RBO) is OPEN or held HIGH and a LOW is applied to the lamp-test input, all segment outputs are L.

# Dekodéry pre 7 segmentové displeje

- Inou možnosťou budenia displeja je použitie programovateľnej pamäte PROM, kde je možné si naprogramovať vlastnú pravdivostnú tabuľku.

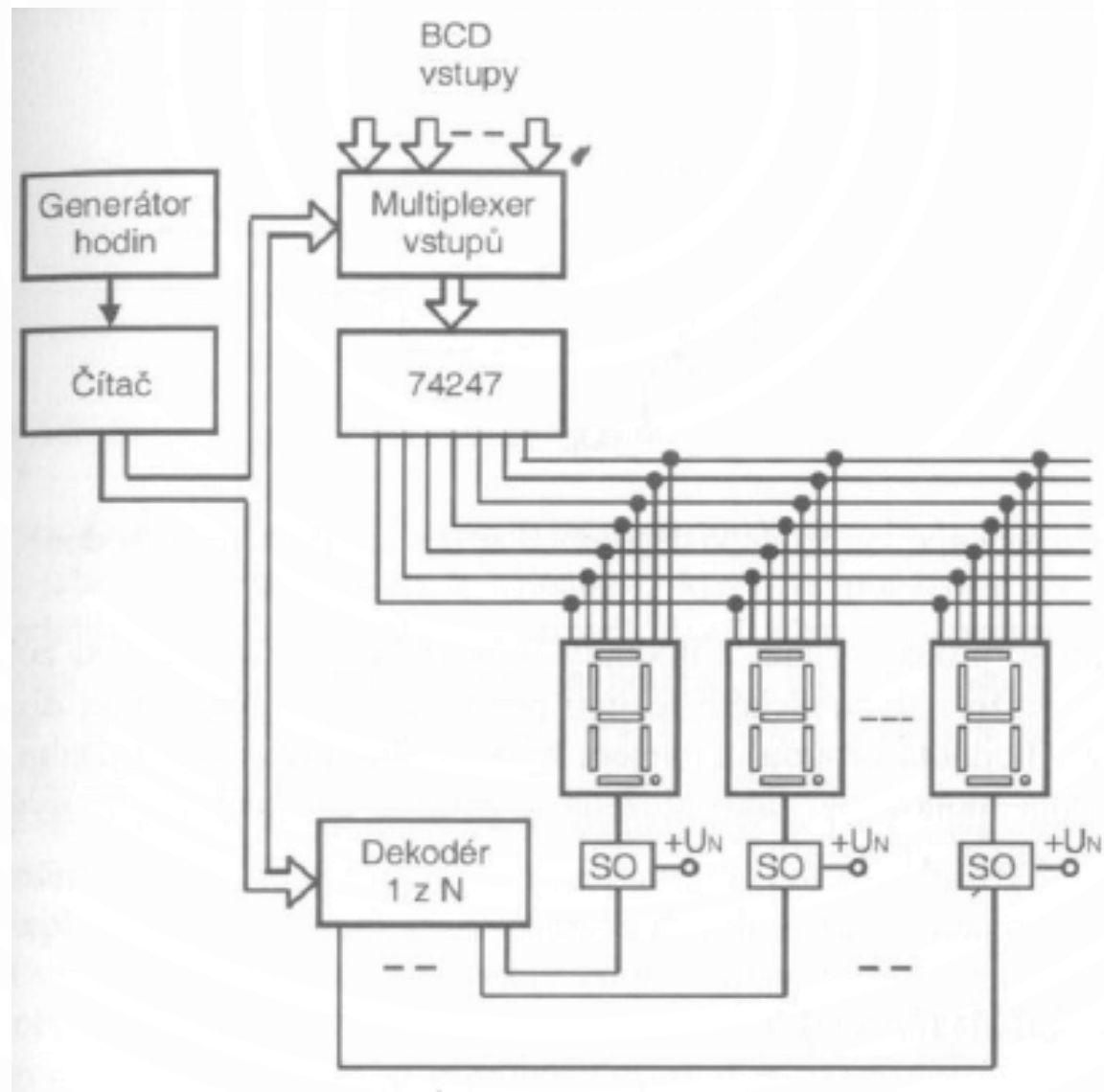


Ovládanie 7 segmentového displeja pomocou pamäte PROM

# Dekodéry pre 7 segmentové displeje

- Okrem dekodérov, u ktorých je potrebné obmedzovať prúd rezistormi, sa používajú aj dekodéry pre 7 segmentové displeje, ktoré pracujú ako prúdové budiče a môžu byť pripojené k displeji bez rezistora. Príkladom sú dekodéry 74247 a 74LS247, ktoré majú výstupy s otvoreným kolektorom a sú plne kompatibilné s dekodérmi 7446 a 7447.
- Z hľadiska používania viacerých 7 segmentových displejov rozlišujeme 2 prípady:
  - statický režim, kedy má každý displej svoj dekodér,
  - dynamický (multiplexný) režim, kedy sa používa 1 dekodér pre všetky displeje.

# Dekodéry pre 7 segmentové displeje



Bloková schéma multiplexného ovládania 7 segmentových displejov



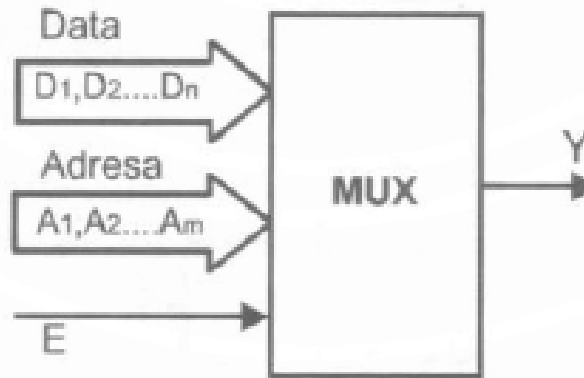
# Multiplexory

- **Multiplexor** je kombinačný logický obvod, ktorý umožňuje prevádzať informáciu (bity) z vybraného vstupného kanála na výstup. Zjednodušene by sme multiplexor mohli označiť za „prepínač číslicových signálov“. Multiplexor obsahuje  $n$  vstupov  $D_1$  až  $D_n$  a jeden výstup  $Y$ . Voľba konkrétneho kanála (vstupu) sa realizuje prostredníctvom riadiacich adresových signálov  $A_1$  až  $A_m$ . Adresa vybraného vstupu sa privádza do multiplexora v podobe binárneho čísla. Teda pre  $n$  dátových vstupov použijeme  $m$  adresových vstupov. Medzi počtom dátových  $n$  a adresových vstupov  $m$  platí závislosť:

$$n=2^m \text{ alebo } 2^{m-1} < n < 2^m$$

# Multiplexory

- Okrem vstupov  $D_1$  až  $D_n$  a adresových vstupov  $A_1$  až  $A_m$  sa používa aj blokovací vstup **E** (Enable), ktorý sa používa na ovládanie činnosti logického obvodu.

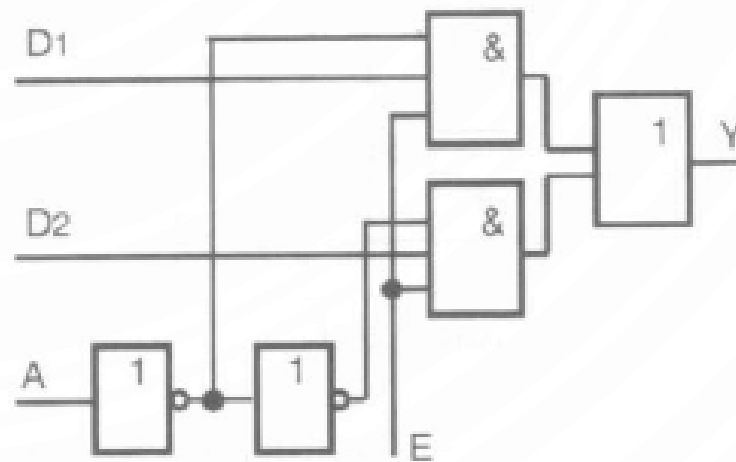


Schematická značka multiplexora

# Multiplexory

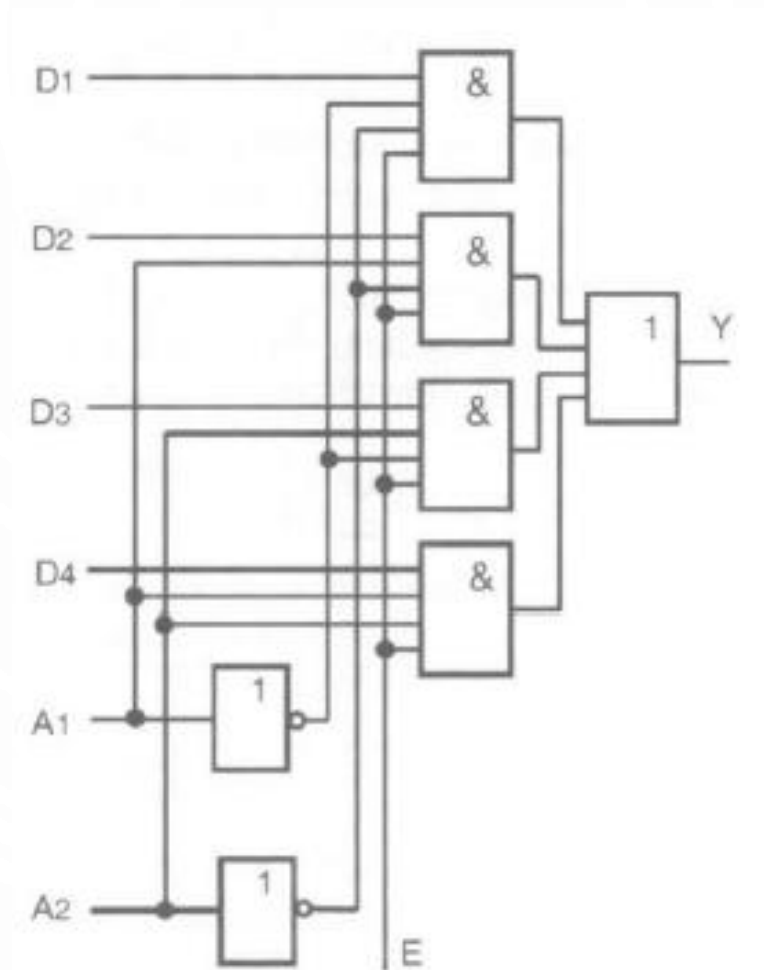
## Používané multiplexory v praxi:

- SN74157 – dvojjstupový multiplexor (obsahuje štvoricu dvojjstupových multiplexorov),
- SN74153 – štvorvstupový multiplexor (obsahuje dvojicu štvorvstupových multiplexorov),
- SN74151 – osemvstupový multiplexor,
- SN74150 – šestnásťvstupový multiplexor.



Princíp dvojjstupového multiplexora

# Multiplexory



Princíp štvorvstupového multiplexora

# Multiplexory

**FAIRCHILD**  
SEMICONDUCTOR™

September 1986  
Revised June 2001

DM74150 Data Selectors/Multiplexers

## DM74150 Data Selectors/Multiplexers

### General Description

These data selectors/multiplexers contain full on-chip decoding to select the desired data source. The DM74150 selects one-of-sixteen data sources. The DM74150 has a strobe input which must be at a LOW logic level to enable these devices. A HIGH level at the strobe forces the W output HIGH and the Y output (as applicable) LOW.

The DM74150 features an inverted (W) output only.

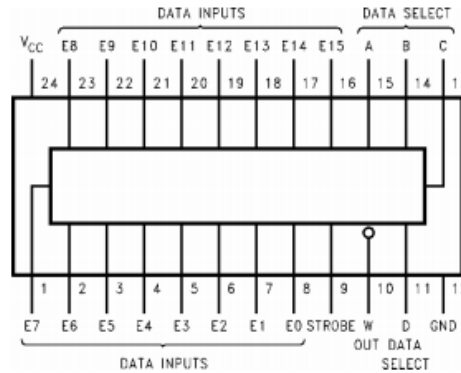
### Features

- 150 selects one-of-sixteen data lines
- Performs parallel-to-serial conversion
- Permits multiplexing from N lines to one line
- Also for use as Boolean function generator
- Typical average propagation delay time, data input to W output: 11 ns
- Typical power dissipation: 200 mW

### Ordering Code:

Order Number	Package Number	Package Description
DM74150N	N24A	24-Lead Plastic Dual-In-Line Package (PDIP), JEDEC MS-011, 0.600" Wide

### Connection Diagram



### Function Table

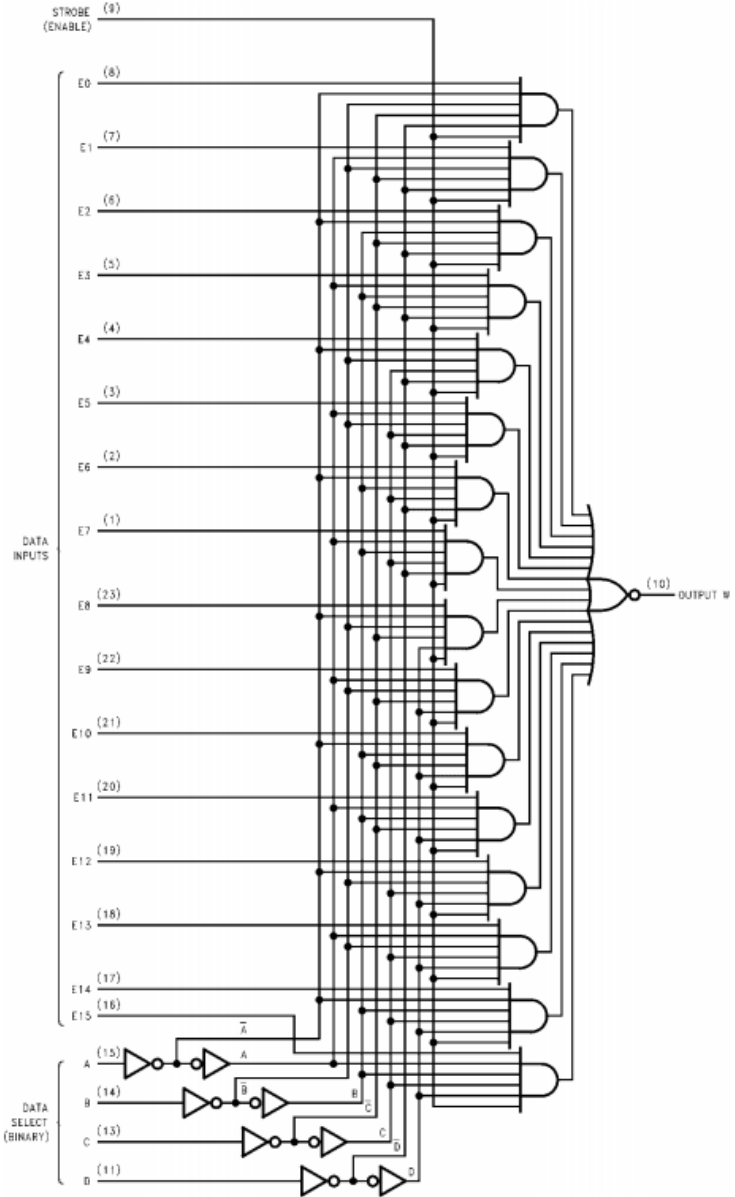
Inputs					Outputs W
Select				Strobe	
D	C	B	A	S	
X	X	X	X	H	H
L	L	L	L	L	$\overline{E0}$
L	L	L	H	L	$\overline{E1}$
L	L	H	L	L	$\overline{E2}$
L	L	H	H	L	$\overline{E3}$
L	H	L	L	L	$\overline{E4}$
L	H	L	H	L	$\overline{E5}$
L	H	H	L	L	$\overline{E6}$
L	H	H	H	L	$\overline{E7}$
H	L	L	L	L	$\overline{E8}$
H	L	L	H	L	$\overline{E9}$
H	L	H	L	L	$\overline{E10}$
H	L	H	H	L	$\overline{E11}$
H	H	L	L	L	$\overline{E12}$
H	H	L	H	L	$\overline{E13}$
H	H	H	L	L	$\overline{E14}$
H	H	H	H	L	$\overline{E15}$

H = HIGH Level  
L = LOW Level  
X = Don't Care  
E0, E1 ... E15 = the complement of the level of the respective E input

# Multiplexory

DM74150

## Logic Diagram



# Multiplexorová logika

Ďalšia aplikácia multiplexorov, okrem prepínania vstupných signálov, je **multiplexorová logika**. Ide o spôsob realizácie kombinačných logických funkcií.

Postup je nasledovný:

Logickú funkciu, zadanú napr. súčtom stavových indexov (výstup predstavuje log. 1) prevedieme do tvaru pravdivostnej tabuľky.

Napr. funkciu troch premenných  $a, b, c$ :

$$f(c, b, a) = \sum (0, 2, 3, 7)$$

# Multiplexorová logika

zapišeme do pravdivostnej tabuľky nasledovne:

N	c	b	a	f	D
0	0	0	0	1	$D_1 = \bar{a}$
1	0	0	1	0	
2	0	1	0	1	$D_2 = 1$
3	0	1	1	1	
4	1	0	0	0	$D_3 = 0$
5	1	0	1	0	
6	1	1	0	0	$D_4 = a$
7	1	1	1	1	

Pravdivostná tabuľka logickej funkcie



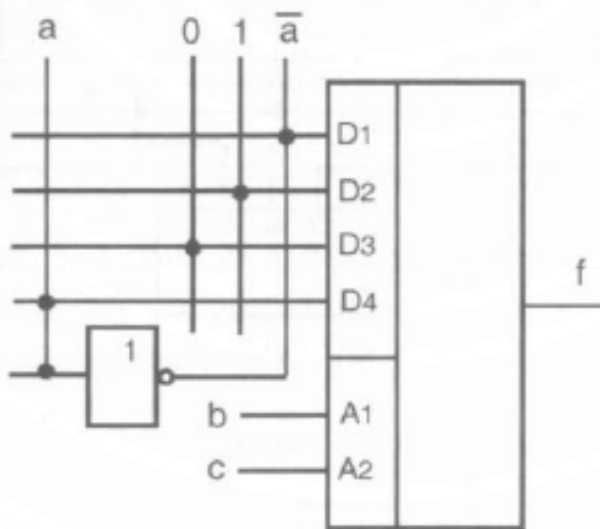
# Multiplexorová logika

Pre realizáciu tejto funkcie zvolíme multiplexor s počtom adresových vstupov o 1 menším, než je počet premenných logickej funkcie. V našom prípade zvolíme 4-kanálový multiplexor, ktorý má dva adresové vstupy. Premenné s najvyššou váhou  $c$  a  $b$  spojíme s adresovými vstupmi. Premenná s najnižšou váhou  $a$  bude určovať zapojenie vstupných vodičov multiplexora  $D_1$  až  $D_4$ .

Zapojenie dátových vstupov  $D_1$  až  $D_4$  sa určí z pravdivostnej tabuľky (stĺpec „D“ v pravd. tabuľke).

# Multiplexorová logika

Realizácia logickej funkcie prostredníctvom multiplexorovej logiky:



Príklad multiplexorovej logiky

# Demultiplexory

**Demultiplexor** plní presne opačnú funkciu, ako multiplexor. V závislosti od logického stavu adresových vodičov prenáša z jediného vstupného vodiča dáta na jeden z výstupných vodičov, zatiaľ čo na ostatných výstupných vodičoch pretrvávajú neaktívny stav. Ide teda o kombinačný obvod, ktorý môžeme opísať nasledovne:

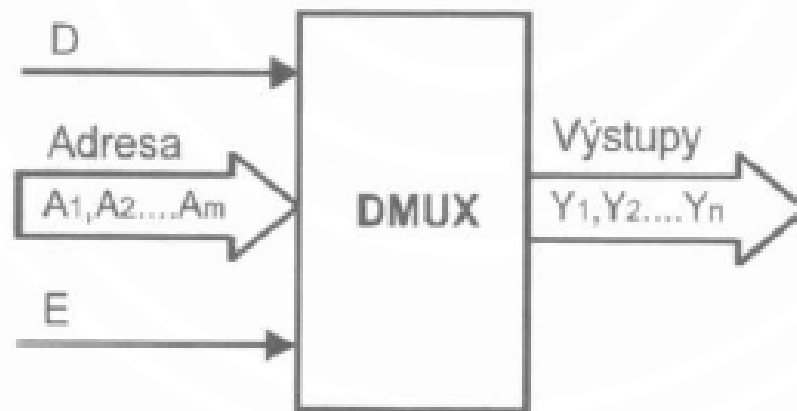
$$Y_i = \text{Adr}_i \cdot D \cdot E,$$

kde  $\text{Adr}_i$  je kombinácia adresových vstupov  $A_1$  až  $A_m$ , pomocou ktorých vyberáme 1 z  $n$  výstupov.

Integrované demultiplexory sú vyrábané takmer výhradne ako obvody s aktívnou úrovňou logickej nuly na vybranom výstupe. To znamená, že na všetkých výstupoch je log. 1 a iba na výstupe, ktorého adresa je určená na adresovom vstupe, sa preniesie logických stav z dátového vstupu D.

# Demultiplexory

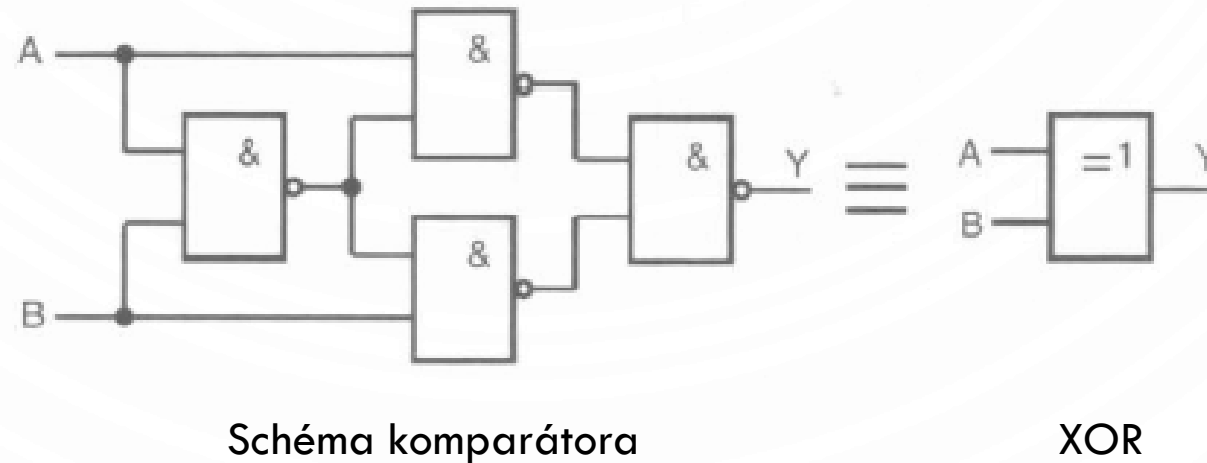
Demultiplexor je možné principiálne vyjadriť nasledovne:



Principiálna schéma demultiplexora

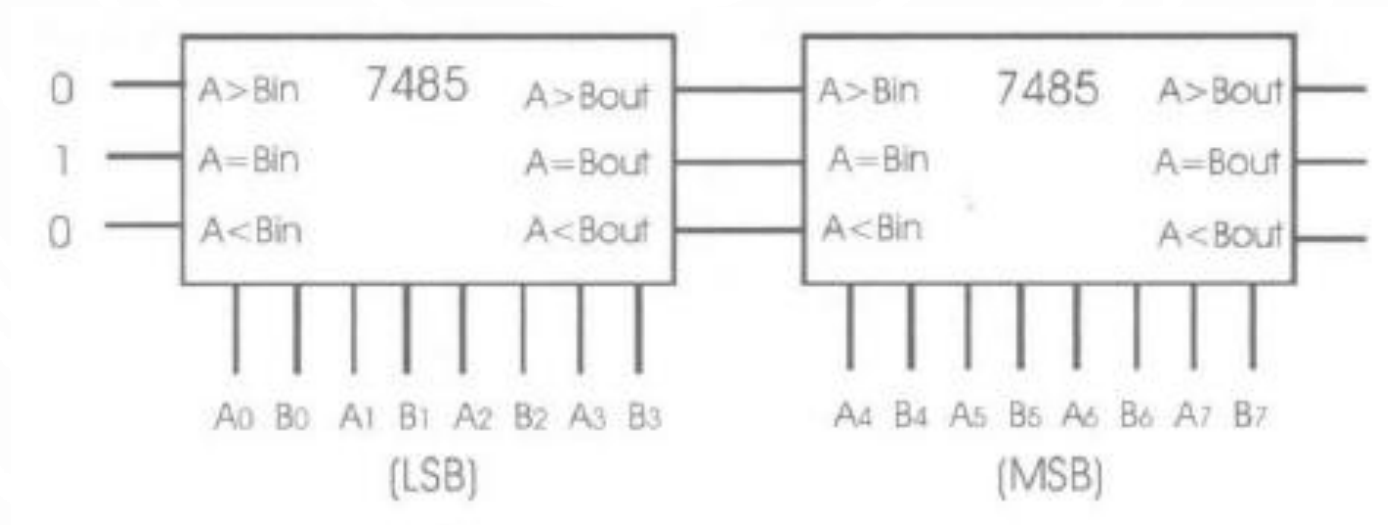
# Komparátory

**Komparátor** je kombinačný logický obvod, ktorý porovnáva dve binárne čísla a generuje výstupný signál o výsledku. Dôležitý obvod z hľadiska použitia v komparátoroch je obvod, ktorý realizuje funkciu nonekvivalencie (XOR).



# Komparátory

**Komparátory** sa vyrábajú vo forme integrovaných obvodov 7485. Ide o 4-bitový komparátor dvoch binárnych alebo BCD čísel s tromi výstupmi.



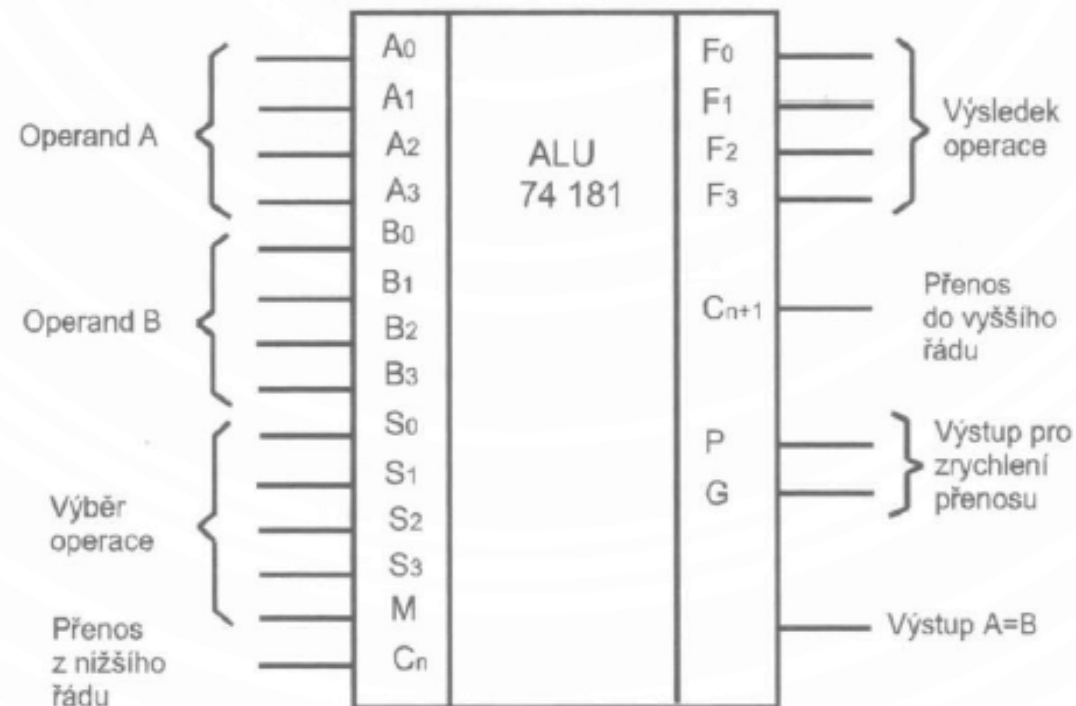
Zapojenie číslicového komparátora 7485

# Obvody pre aritmetické operácie

- Aritmetické operácie s binárnymi číslami predstavujú základ programového vybavenia mikroprocesorov a hardwarového vybavenia špecializovaných integrovaných obvodov.
- Základnými aritmetickými operáciami sú:
  - sčítanie,
  - odčítanie,
  - násobenie,
  - delenie.

# Arimeticko-logická jednotka (ALU)

Integrovaná **arimeticko-logická jednotka (ALU)** (integrovaný obvod 74181) vykonáva pomocou dvoch štvorbitových operandov  $A$  a  $B$  16 aritmetických operácií a 16 logických operácií v binárnej sústave.



ALU jednotka 74181



# Arímeticko-logická jednotka (ALU)

Pokiaľ je potrebné spracovávať dáta, ktoré sú dlhšie ako 4 bity, je možné obvody 74181 radiť do série. Aby sa nespomaľoval výpočet v dôsledku oneskorenia šírenia prenosu medzi ALU, používa sa obvod 74182 CLA (Carry Look-Ahead).

