

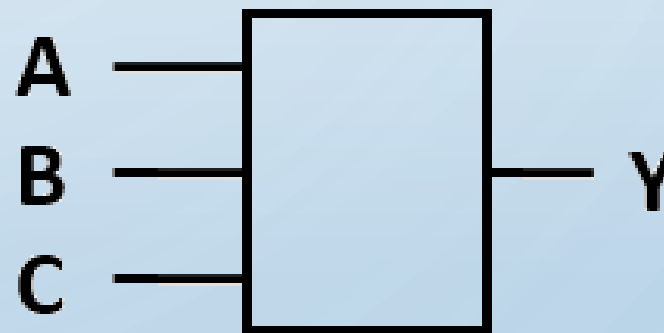


Fakulta elektrotechniky
a informatiky

POČÍTAČOVÉ INŽINIERSTVO V ELEKTRONIKE

Ing. Peter Lukács, PhD.

Kombinačné logické obvody



2020/2021

peter.lukacs@tuke.sk

Kombinačné logické obvody

Kombinačné logické obvody (KLO) sú obvody, v prípade ktorých môžu vstupné a výstupné premenné v ustálenom stave nadobúdať jednu z dvoch možných stavov (log. 0 alebo 1). KLO sú realizované spojením základných logických členov tak, aby spĺňali požadovanú logickú funkciu.

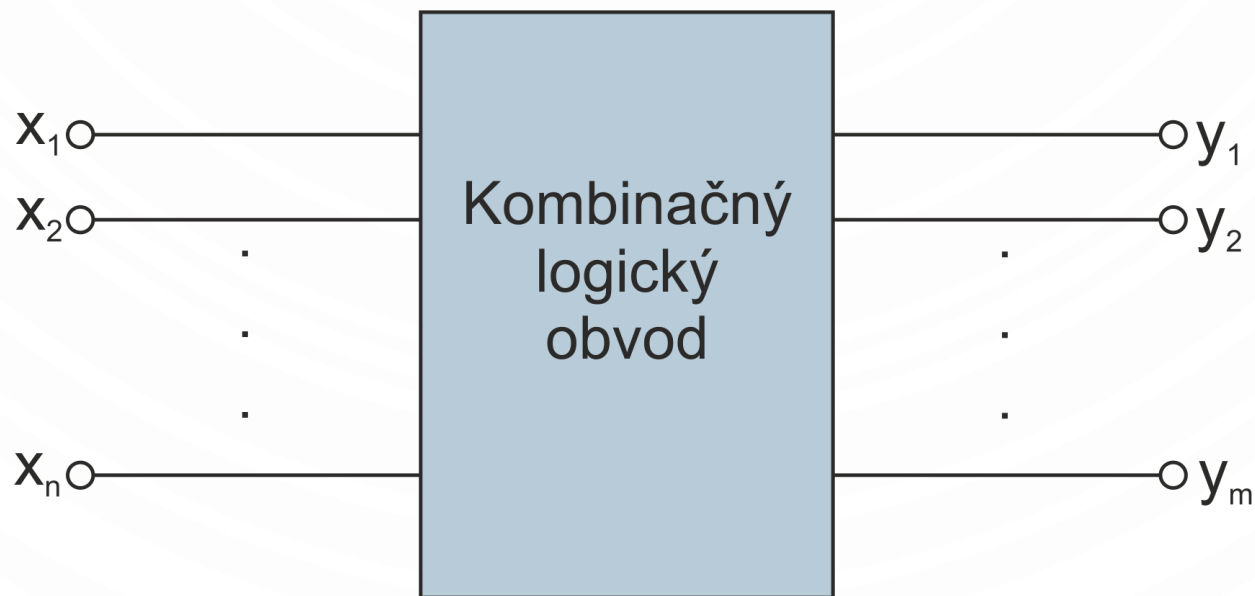
Okamžitá hodnota výstupných premenných KLO je daná iba okamžitou kombináciou vstupných premenných. To znamená, že KLO nie sú závislé od predošlých kombinácií vstupov.

Kombinačné logické obvody

KLO je možné popísať nasledovnou rovnicou:

$$Y_i = f(X_j), \quad \text{kde } i = 1, 2, \dots, m, j = 1, 2, \dots, n.$$

Premenné $Y_i = y_1, y_2, \dots, y_m$ predstavujú vstupné premenné a premenné $X_i = x_1, x_2, \dots, x_n$ predstavujú výstupné premenné KLO.



Bloková schéma KLO

Dekodéry

Dekodéry sú kombinačné logické obvody, ktoré v závislosti na kombinácii vstupných premenných generujú určitý kód, teda kombináciu binárnych stavov.

Binárne dekodéry prevádzajú binárne stavy usporiadané v jednom kóde na binárne stavy v inom kóde. Ako príklad je možné uviesť dekodér 1 z N , ktorý prevádza stavy z *priameho binárneho kódu* na kód, v ktorom je aktívny stále len jeden z výstupov.

Dekodér z binárneho kódu na kód 1 z 4

- Najjednoduchší používaný dekodér tohto typu je dekodér dvojbitového binárneho kódu na kód 1 z 4. Pravdivostná tabuľka má 2 vstupné a 4 výstupné premenné:

Vstupy		Výstupy			
b	a	Y ₀	Y ₁	Y ₂	Y ₃
0	0	1	0	0	0
0	1	0	1	0	0
1	0	0	0	1	0
1	1	0	0	0	1

Pravdivostná tabuľka na prevod binárneho kódu na kód 1 z 4

Dekodér z binárneho kódu na kód 1 z 4

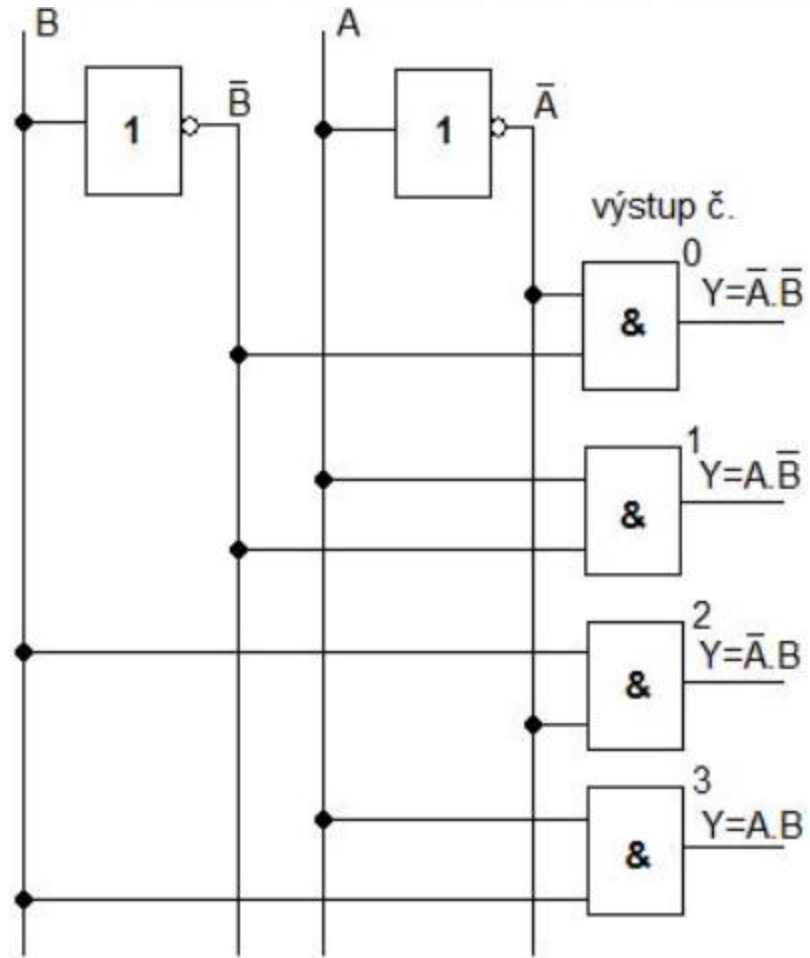
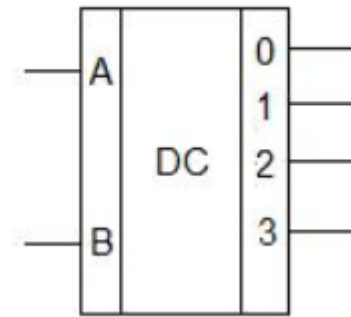


Schéma zapojenia dekodéra 1 z 4



Bloková značka dekodéra 1 z 4

Dekodér z kódu BCD na kód 1 z 10

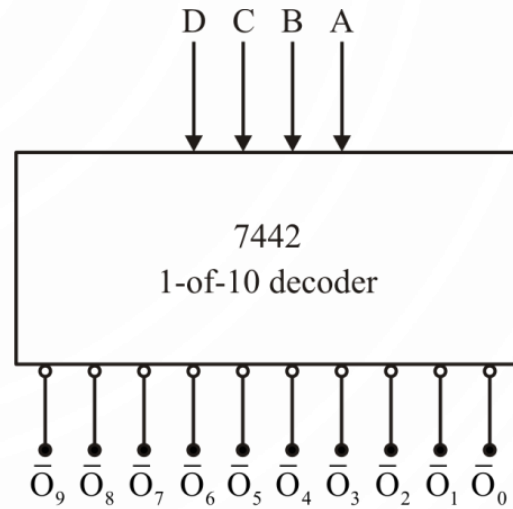
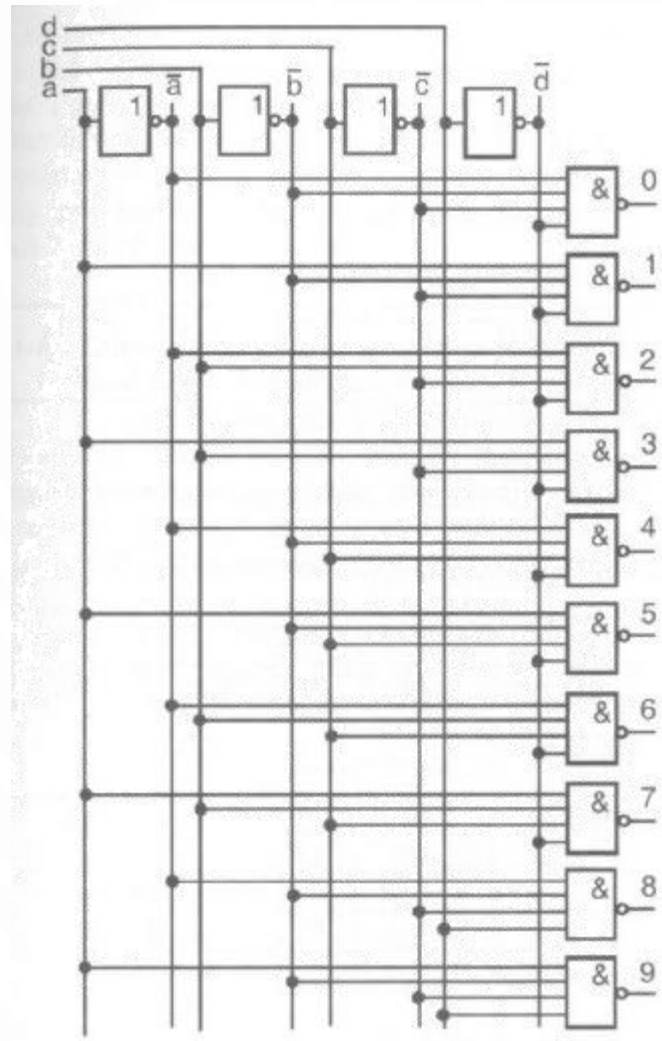
- Ďalším typom je dekodér z BCD kódu na kód 1 z 10. Vstup tohto dekodéra je paralelné 4 bitové slovo v BCD kóde. K realizácii sa používa 10 súčinných hradiel NAND.
- Dodáva sa ako integrovaný obvod s označením 7442 alebo 74LS42, ďalším typom sú obvody 74145 a 74LS145 (majú nižší odber).

Dekodér z kódu BCD na kód 1 z 10

Vstupy				Výstupy									
d	c	b	a	0	1	2	3	4	5	6	7	8	9
0	0	0	0	0	1	1	1	1	1	1	1	1	1
0	0	0	1	1	0	1	1	1	1	1	1	1	1
0	0	1	0	1	1	0	1	1	1	1	1	1	1
0	0	1	1	1	1	1	0	1	1	1	1	1	1
0	1	0	0	1	1	1	1	0	1	1	1	1	1
0	1	0	1	1	1	1	1	1	0	1	1	1	1
0	1	1	0	1	1	1	1	1	1	0	1	1	1
0	1	1	1	1	1	1	1	1	1	1	0	1	1
1	0	0	0	1	1	1	1	1	1	1	1	0	1
1	0	0	1	1	1	1	1	1	1	1	1	1	0

Pravdivostná tabuľka na prevod BCD kódu na kód 1 z 10

Dekodér z kódu BCD na kód 1 z 10

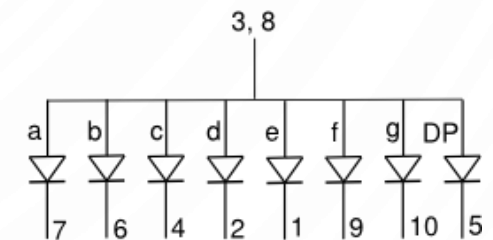
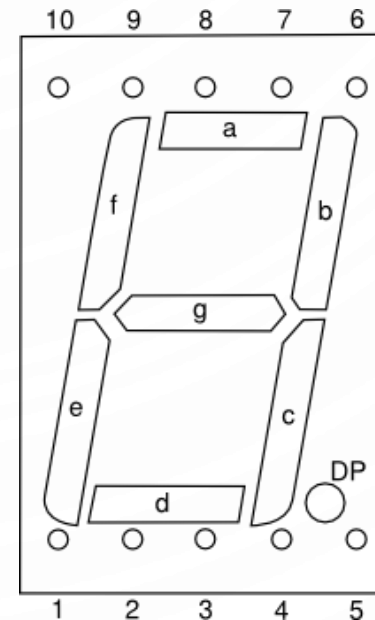
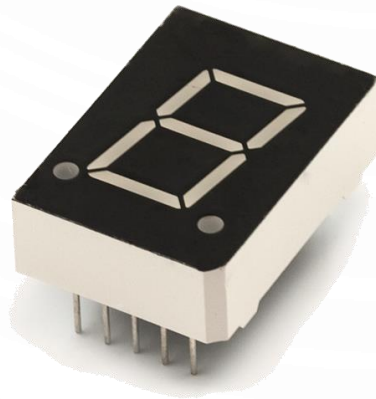


Bloková značka dekodéra 7442

Schéma zapojenia dekodéra z BCD kódu na kód 1 z 10

Dekodéry pre 7 segmentové displeje

- Tento typ dekodérov slúži na prevod BCD kódu na kód 7 segmentových displejov.
- Segmenty sú označené písmenami a,b,c,d,e,f,g. Existujú buď so spoločnou anódou alebo spoločnou katódou.
- V prípade, ak má displej spoločnú anódu, na rozsvietenie segmentu je potrebná logická 0.



7 segmentový displej so spoločnou anódou

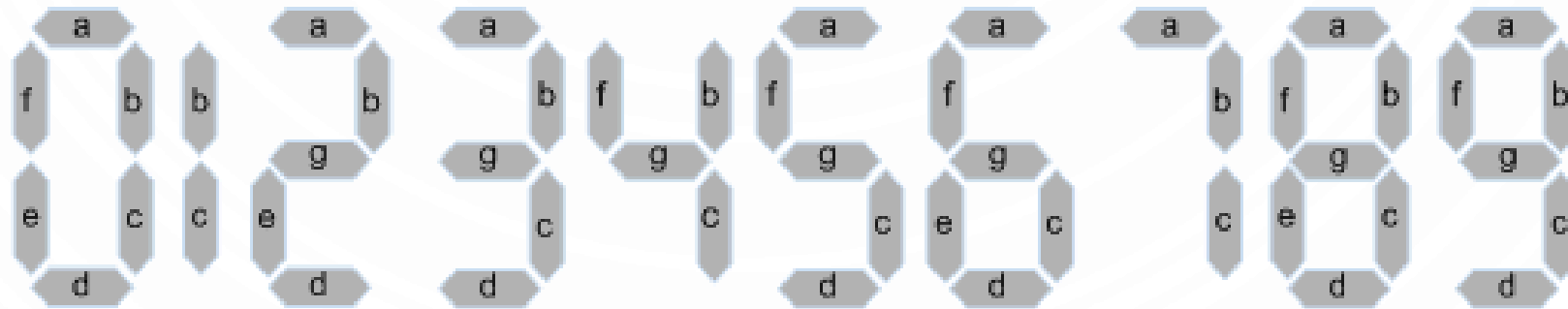
Dekodéry pre 7 segmentové displeje

Dekadická hodnota	Vstupy				Výstup – označenie segmentov						
	D	C	B	A	a	b	c	d	e	f	g
0	0	0	0	0	0	0	0	0	0	0	1
1	0	0	0	1	1	0	0	1	1	1	1
2	0	0	1	0	0	0	1	0	0	1	0
3	0	0	1	1	0	0	0	0	1	1	0
4	0	1	0	0	1	0	0	1	1	0	0
5	0	1	0	1	0	1	0	0	1	0	0
6	0	1	1	0	0	1	0	0	0	0	0
7	0	1	1	1	0	0	0	1	1	1	1
8	1	0	0	0	0	0	0	0	0	0	0
9	1	0	0	1	0	0	0	0	1	0	0

Pravdivostná tabuľka 7 segmentového displeja so spoločnou anódou (segmenty svietia pri log. 0)

Dekodéry pre 7 segmentové displeje

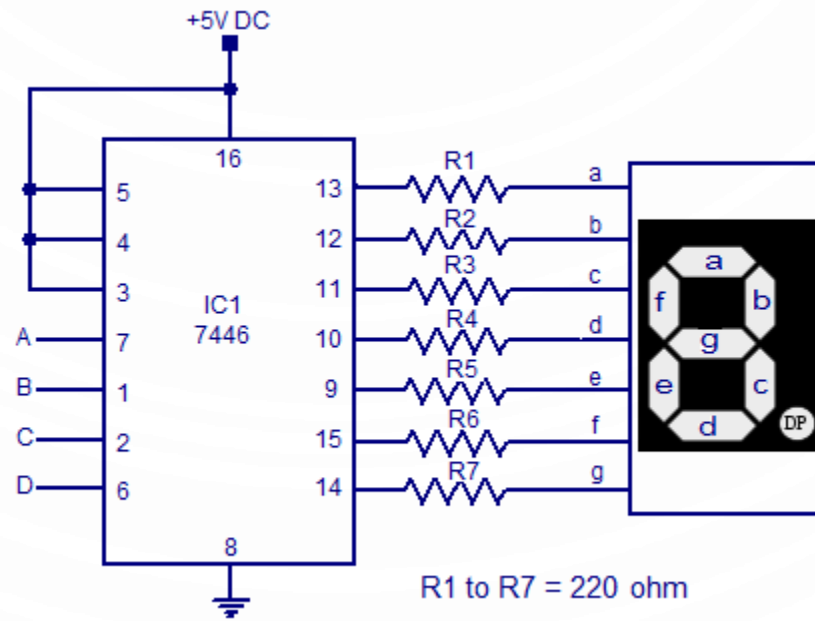
- Dekodéry pre 7 segmentové displeje sa dodávajú ako integrované obvody, napr. 7446 alebo 7447 (pre displeje so spoločnou anódou). Pre displeje so spoločnou katódou sa používajú 7448 a 7449.



Používané segmenty pre dekad. číslice 0 až 9 pre dekodéry 7446 až 7449

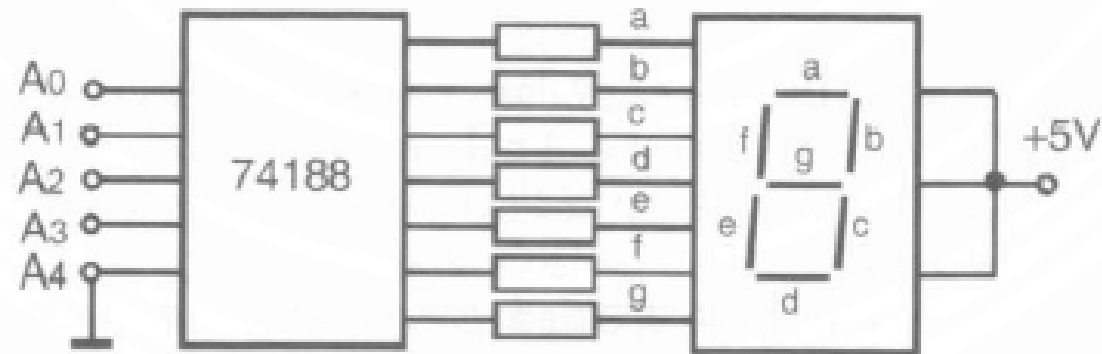
Dekodéry pre 7 segmentové displeje

- Na obrázku nižšie je uvedené zapojenie dekodéra 7446. Rezistory medzi dekodérom a displejom slúžia na obmedzenie prúdu, ktorý prechádza jednotlivými segmentmi. Hodnota rezistora sa určuje podľa konkrétneho displeja (pre 15 mA je to približne 150 až 250 Ω).



Dekodéry pre 7 segmentové displeje

- Inou možnosťou budenia displeja je použitie programovateľnej pamäte PROM, kde je možné si naprogramovať vlastnú pravdivostnú tabuľku.

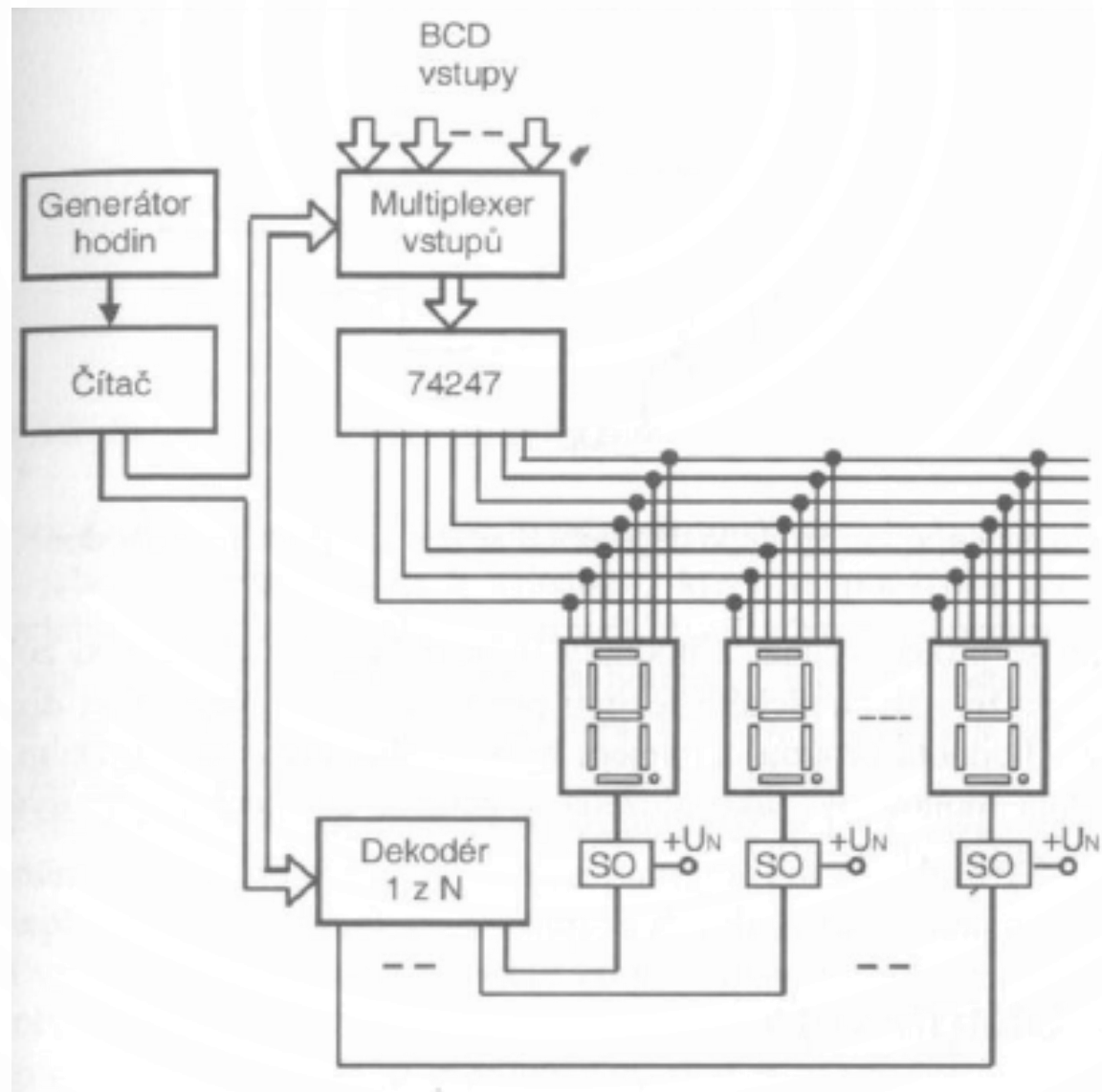


Ovládanie 7 segmentového displeja pomocou pamäte PROM

Dekodéry pre 7 segmentové displeje

- Okrem dekodérov, u ktorých je potrebné obmedzovať prúd rezistormi, sa používajú aj dekodéry pre 7 segmentové displeje, ktoré pracujú ako prúdové budiče a môžu byť pripojené k displeji bez rezistora. Príkladom sú dekodéry 74247 a 74LS247, ktoré majú výstupy s otvoreným kolektorom a sú plne kompatibilné s dekodérmi 7446 a 7447.
- Z hľadiska používania viacerých 7 segmentových displejov rozlišujeme 2 prípady:
 - statický režim, kedy má každý displej svoj dekodér,
 - dynamický (multiplexný) režim, kedy sa používa 1 dekodér pre všetky displeje.

Dekodéry pre 7 segmentové displeje



Bloková schéma multiplexného ovládania 7 segmentových displejov

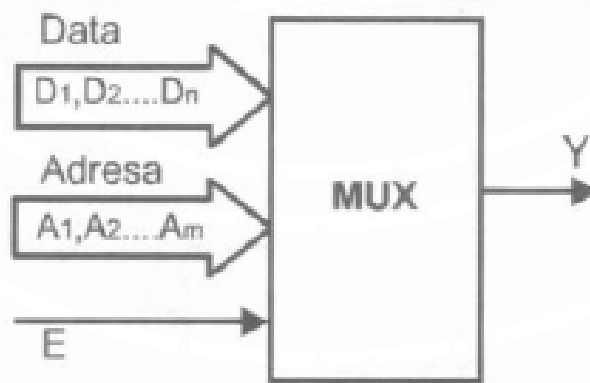
Multiplexory

- **Multiplexor** je kombinačný logický obvod, ktorý umožňuje prevádzať informáciu (bity) z vybraného vstupného kanála na výstup. Zjednodušene by sme multiplexor mohli označiť za „prepínač číslicových signálov“. Multiplexor obsahuje n vstupov D_1 až D_n a jeden výstup Y . Voľba konkrétneho kanála (vstupu) sa realizuje prostredníctvom riadiacich adresových signálov A_1 až A_m . Adresa vybraného vstupu sa privádza do multiplexora v podobe binárneho čísla. Teda pre n dátových vstupov použijeme m adresových vstupov. Medzi počtom dátových n a adresových vstupov m platí závislosť:

$$n=2^m \text{ alebo } 2^{m-1} < n < 2^m$$

Multiplexory

- Okrem vstupov D_1 až D_n a adresových vstupov A_1 až A_m sa používa aj blokovací vstup **E** (Enable), ktorý sa používa na ovládanie činnosti logického obvodu.

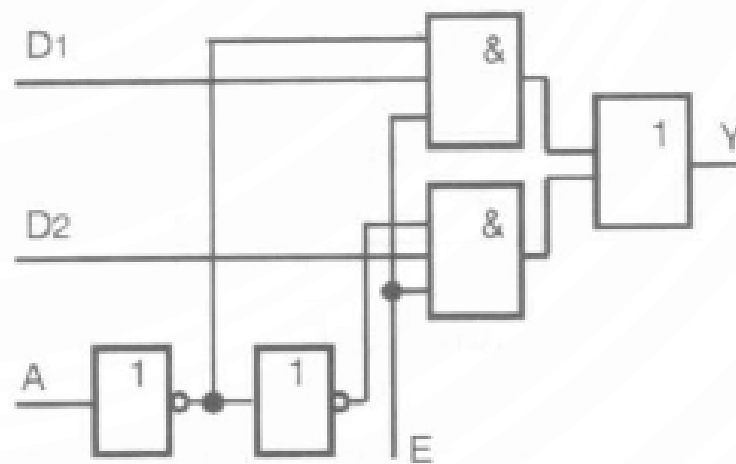


Schematická značka multiplexora

Multiplexory

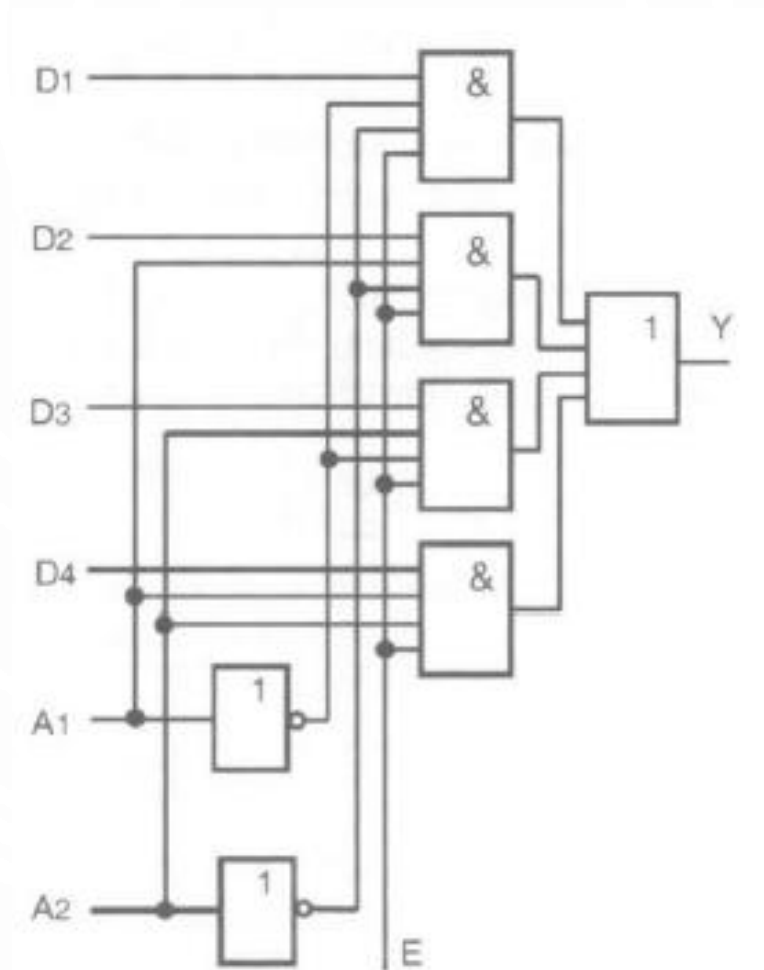
Používané multiplexory v praxi:

- SN74157 – dvojjstupový multiplexor (obsahuje štvoricu dvojjstupových multiplexorov),
- SN74153 – štvorvstupový multiplexor (obsahuje dvojicu štvorvstupových multiplexorov),
- SN74151 – osemvstupový multiplexor,
- SN74150 – šestnásťvstupový multiplexor.



Princíp dvojjstupového multiplexora

Multiplexory



Princíp štvorvstupového multiplexora

Multiplexorová logika

Ďalšia aplikácia multiplexorov, okrem prepínania vstupných signálov, je **multiplexorová logika**. Ide o spôsob realizácie kombinačných logických funkcií.

Postup je nasledovný:

Logickú funkciu, zadanú napr. súčtom stavových indexov (výstup predstavuje log. 1) prevedieme do tvaru pravdivostnej tabuľky.

Napr. funkciu troch premenných a, b, c :

$$f(c, b, a) = \sum (0, 2, 3, 7)$$

Multiplexorová logika

zapišeme do pravdivostnej tabuľky nasledovne:

N	c	b	a	f	D
0	0	0	0	1	$D_1 = \bar{a}$
1	0	0	1	0	
2	0	1	0	1	$D_2 = 1$
3	0	1	1	1	
4	1	0	0	0	$D_3 = 0$
5	1	0	1	0	
6	1	1	0	0	$D_4 = a$
7	1	1	1	1	

Pravdivostná tabuľka logickej funkcie

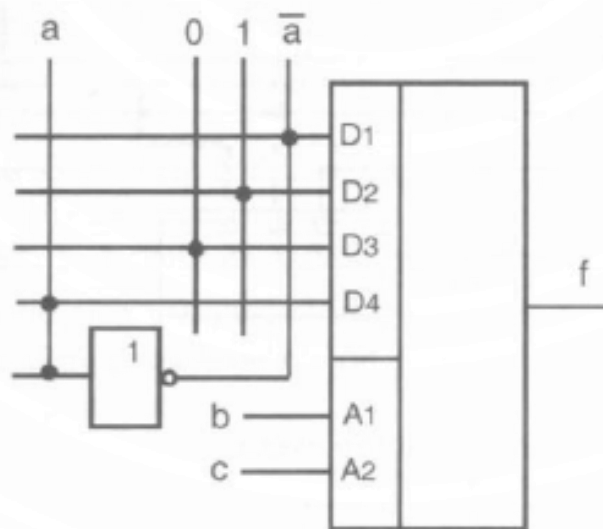
Multiplexorová logika

Pre realizáciu tejto funkcie zvolíme multiplexor s počtom adresových vstupov o 1 menším, než je počet premenných logickej funkcie. V našom prípade zvolíme 4-kanálový multiplexor, ktorý má dva adresové vstupy. Premenné s najvyššou váhou c a b spojíme s adresovými vstupmi. Premenná s najnižšou váhou a bude určovať zapojenie vstupných vodičov multiplexora D_1 až D_4 .

Zapojenie dátových vstupov D_1 až D_4 sa určí z pravdivostnej tabuľky (stĺpec „D“ v pravd. tabuľke).

Multiplexorová logika

Realizácia logickej funkcie prostredníctvom multiplexorovej logiky:



Príklad multiplexorovej logiky

Demultiplexory

Demultiplexor plní presne opačnú funkciu, ako multiplexor. V závislosti od logického stavu adresových vodičov prenáša z jediného vstupného vodiča dáta na jeden z výstupných vodičov, zatiaľ čo na ostatných výstupných vodičoch pretrvávajú neaktívny stav. Ide teda o kombinačný obvod, ktorý môžeme opísať nasledovne:

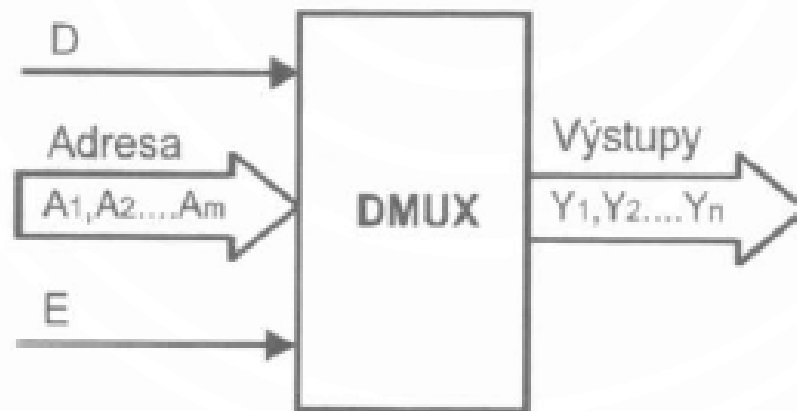
$$Y_i = \text{Adr}_i \cdot D \cdot E,$$

kde Adr_i je kombinácia adresových vstupov A_1 až A_m , pomocou ktorých vyberáme 1 z n výstupov.

Integrované demultiplexory sú vyrábané takmer výhradne ako obvody s aktívnou úrovňou logickej nuly na vybranom výstupe. To znamená, že na všetkých výstupoch je log. 1 a iba na výstupe, ktorého adresa je určená na adresovom vstupe, sa preniesie logický stav z dátového vstupu D.

Demultiplexory

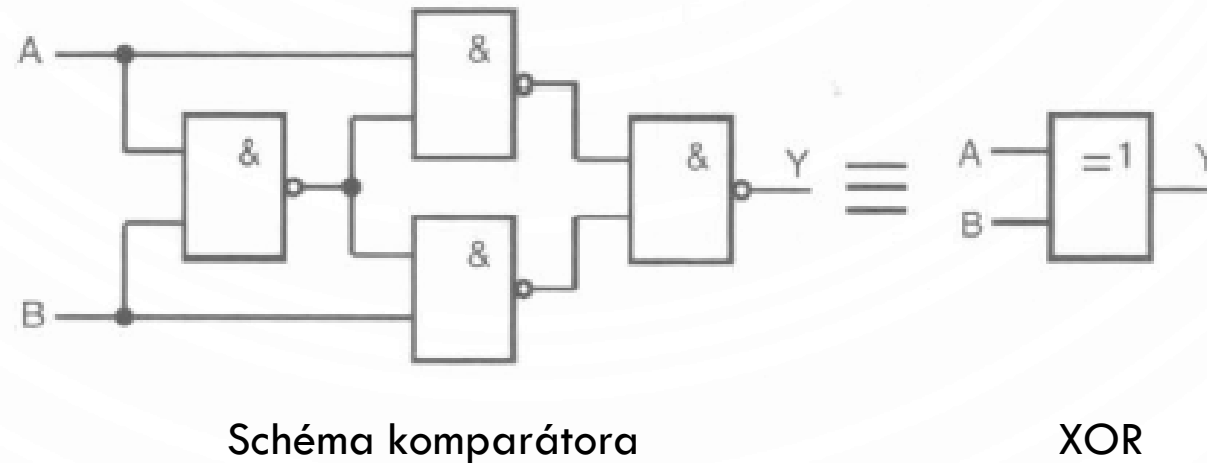
Demultiplexor je možné principiálne vyjadriť nasledovne:



Principiálna schéma demultiplexora

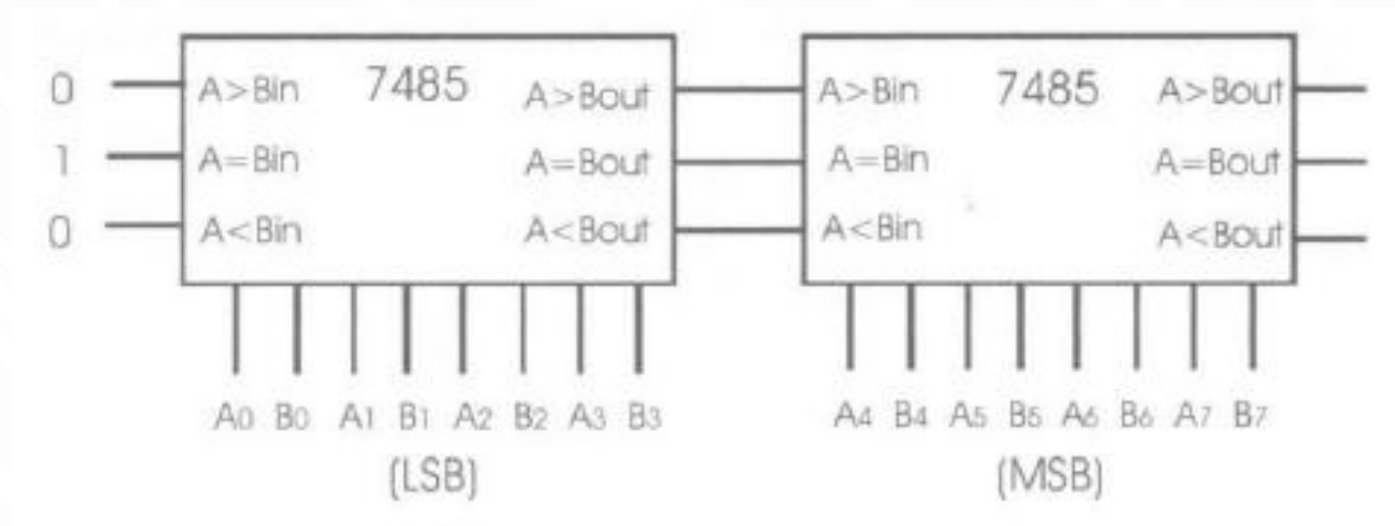
Komparátory

Komparátor je kombinačný logický obvod, ktorý porovnáva dve binárne čísla a generuje výstupný signál o výsledku. Dôležitý obvod z hľadiska použitia v komparátoroch je obvod, ktorý realizuje funkciu nonekvivalencie (XOR).



Komparátory

Komparátory sa vyrábajú vo forme integrovaných obvodov 7485. Ide o 4-bitový komparátor dvoch binárnych alebo BCD čísel s tromi výstupmi.



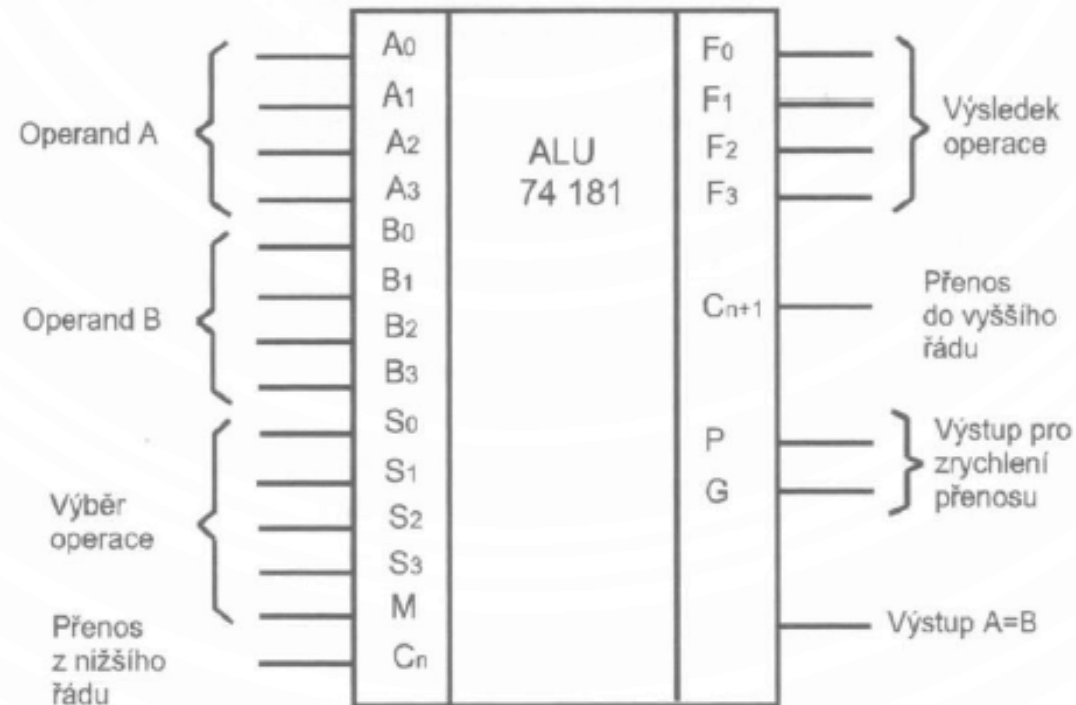
Zapojenie číslicového komparátora 7485

Obvody pre aritmetické operácie

- Aritmetické operácie s binárnymi číslami predstavujú základ programového vybavenia mikroprocesorov a hardwarového vybavenia špecializovaných integrovaných obvodov.
- Základnými aritmetickými operáciami sú:
 - sčítanie,
 - odčítanie,
 - násobenie,
 - delenie.

Arimeticko-logická jednotka (ALU)

Integrovaná **arimeticko-logická jednotka (ALU)** (integrovaný obvod 74181) vykonáva pomocou dvoch štvorbitových operandov A a B 16 aritmetických operácií a 16 logických operácií v binárnej sústave.



ALU jednotka 74181

Arímeticko-logická jednotka (ALU)

Pokiaľ je potrebné spracovávať dáta, ktoré sú dlhšie ako 4 bity, je možné obvody 74181 radiť do série. Aby sa nespomaľoval výpočet v dôsledku oneskorenia šírenia prenosu medzi ALU, používa sa obvod 74182 CLA (Carry Look-Ahead).

