



Fakulta elektrotechniky
a informatiky

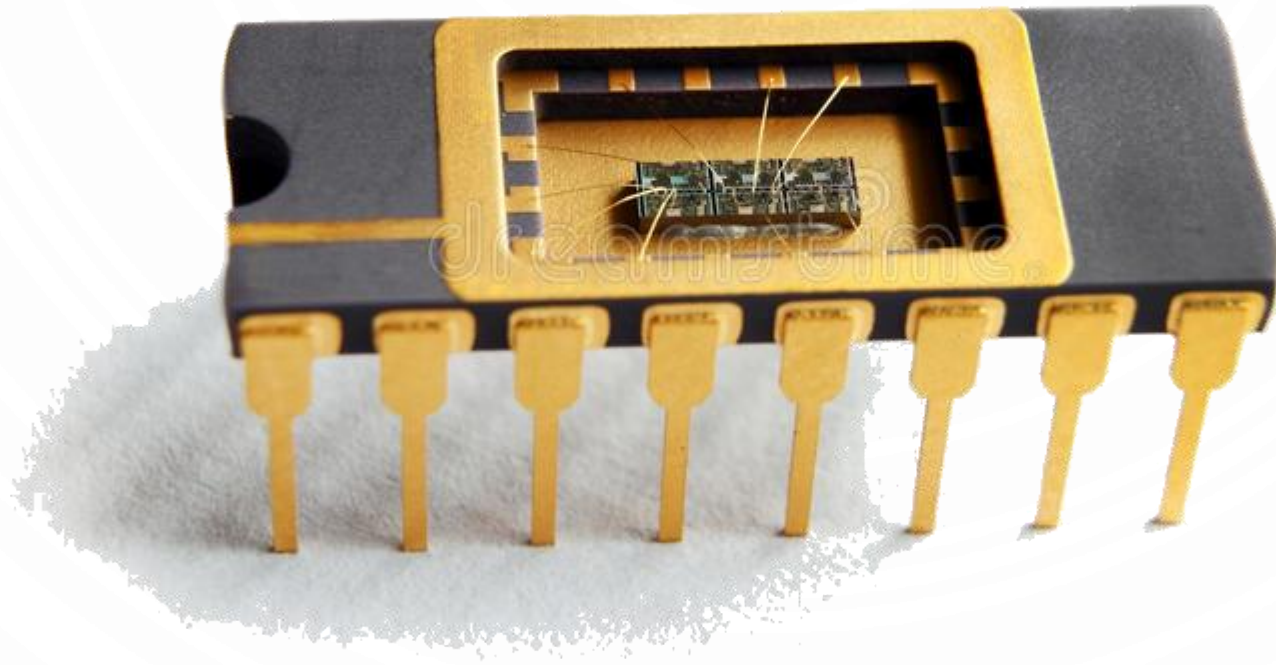
POČÍTAČOVÉ INŽINIERSTVO V ELEKTRONIKE

Ing. Peter Lukács, PhD.

2019/2020

peter.lukacs@tuke.sk

Fyzikálny princíp logických obvodov



Rozdelenie log. obvodov podľa tech. výroby

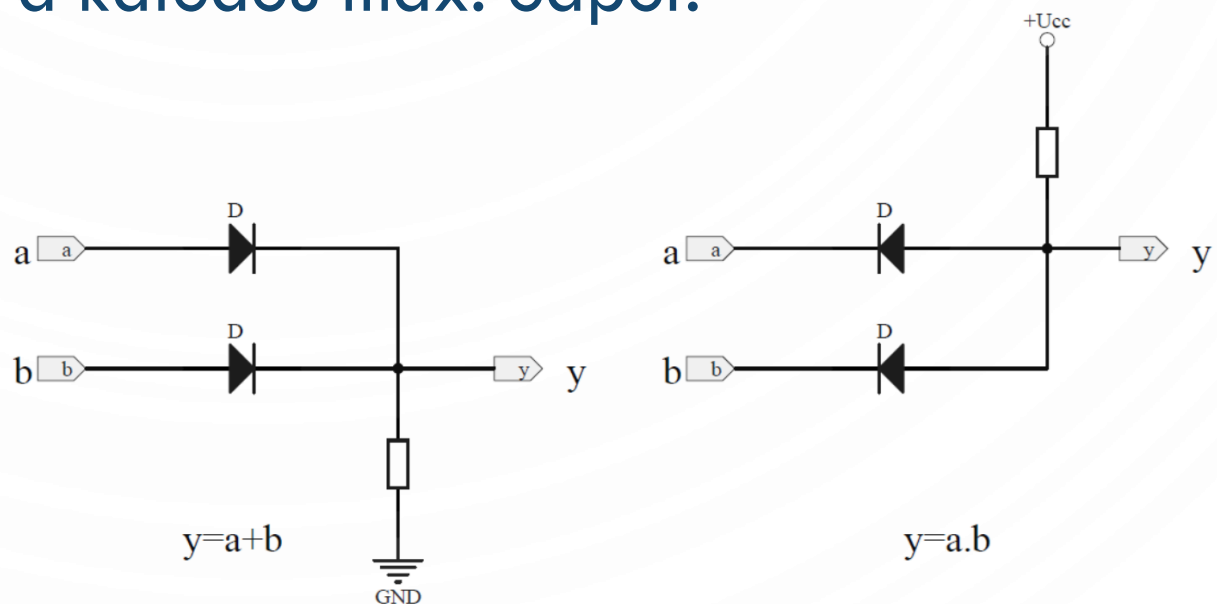
Logické úrovne sú spojené s určitými konkrétnymi realizačnými obvodmi. Ak je oblasť napät'ových úrovni odpovedajúcich logickej jednotke väčšia, než oblasť hodnôt pre logickú nulu, ide o tzv. **pozitívnu logiku**. V opačnom prípade ide o negatívnu logiku. V praxi si častejšie používa tzv. pozitívna logika. Veľkosť kladného napätia pre log. jednotku závisí od technológie výroby log. obvodov. Napr. pre logiku TTL je tolerancia log. jednotky 2 až 5,5 V, pre log. nulu 0 až 0,08 V.

Základné logické obvody je možné v rámci jednotlivých technológií rozdeliť podľa toho, z akých obvodových prvkov sú vyrobené:

Diódová logika

DL (diódová logika) – ako spínacie prvky sa používajú diódy a obmedzovacie rezistory (limiting resistors). Dióda prepúšťa prúd, ak je na jej anóde oproti katóde vyššie napätie (v prípade Si diódy o 0,6-0,7 V). V takom stave sa správa ako zopnutý spínač, v opačnom prípade je medzi anódou a katódou max. odpor.

Realizácia logických funkcií pomocou diódovej logiky



Diódová logika

Diódové logické členy sú veľmi jednoduché a môžu pracovať s napätovými úrovňami logickej hodnoty 1 v širokom rozsahu, daným len záverným napätím diódy alebo výkonovou stratou diódy. Nevýhodou je, že pomocou nich nedokážeme realizovať invertor.

Sú vhodné iba pre realizáciu logického súčtu a súčinu (OR, AND).

Diódová a rezistorová tranzistorová logika

DTL (diódová tranzistorová logika) používa ako aktívny prvok tranzistor, ktorý v logických obvodoch pracuje vo funkcii spínača. Tranzistor je buď úplne zavretý a prúd ním nepreteká alebo je otvorený a prúd, ktorý ním prechádza, je obmedzený iba veľkosťou vlastnej impedancie.

RTL (rezistorová tranzistorová logika) – nevýhodou tejto logiky je malá odolnosť voči rušeniu, približne 0,2 V a malý logický zisk, $N=3$ až 4. Na výstup je možné pripojiť 3 až 4 vstupy rovnakej logiky.

Ďalšie typy logík

TTL (tranzistor-tranzistorová logika) – táto logika je najviac rozšírená.

CMOS (komplementárna MOS technológia) – táto technológia využíva unipolárne tranzistory (tranzistory riadené elektrickým poľom).

ECL (emitorovo viazaná logika) – tento typ logiky pre veľmi rýchle číslicové obvody, veľmi rýchle pamäte, atď'...

Základné pojmy – šumová imunita

Logické obvody majú vždy definované určité rozmedzie hodnôt napätí pre logickú 0 a logickú 1. Táto tolerancia je veľmi dôležitá, aby sa logické obvody mohli vzájomne spájať a kombinovať. Pre obvody TTL sú pre úrovne logických hodnôt definované nasledovné napät'ové úrovne:

na vstupe: log. 1 $U_{IH} \geq 2 \text{ V}$

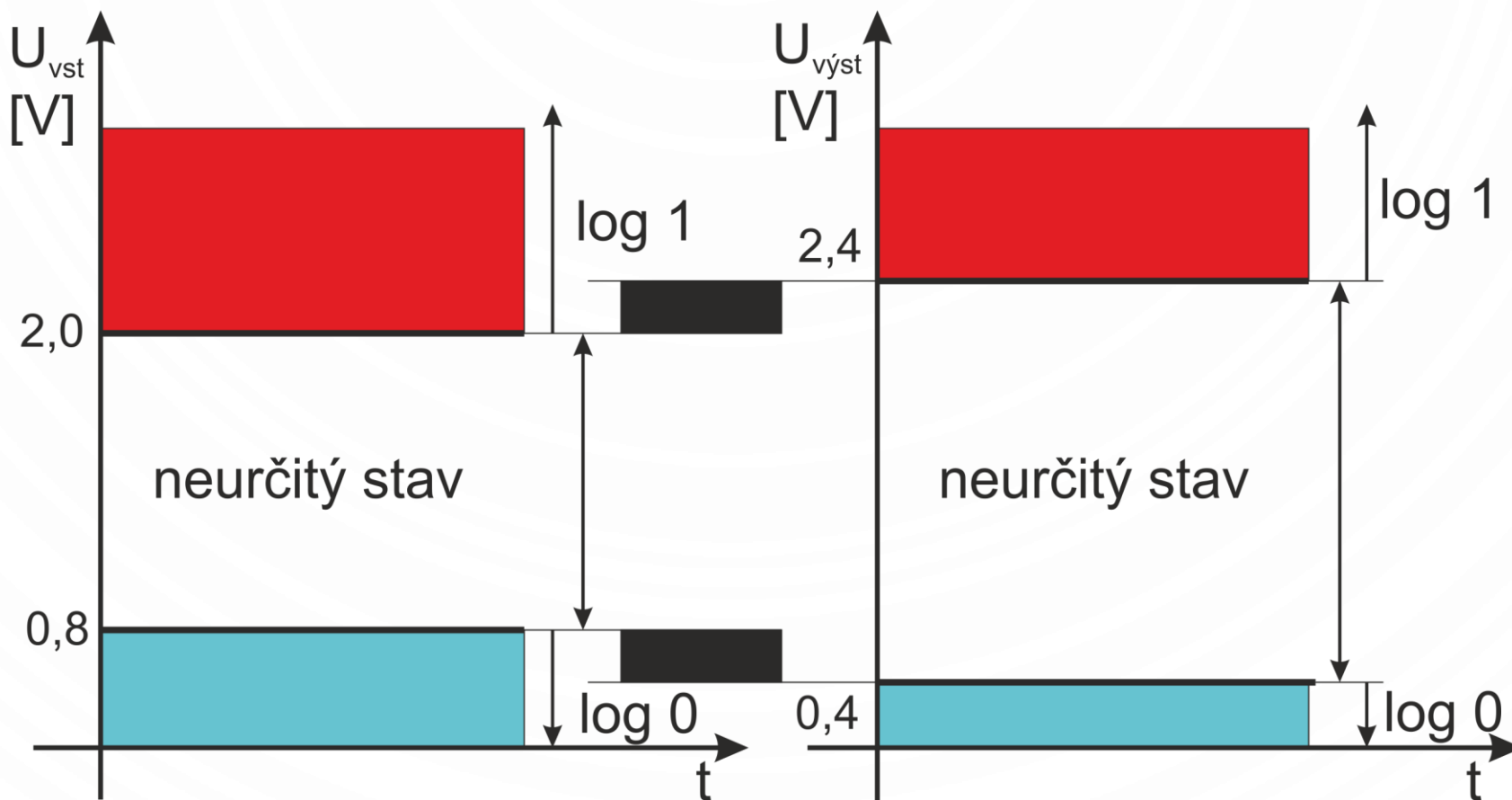
log. 0 $U_{IL} \leq 0,8 \text{ V}$

na výstupe: log. 1 $U_{OH} \geq 2,4 \text{ V}$

log. 0 $U_{OL} \leq 0,4 \text{ V}$.

Základné pojmy – šumová imunita

Tolerancia hodnôt jednotlivých vstupných a výstupných úrovní TTL logiky je uvedená na obr.:



Základné pojmy – šumová imunita

Šumová imunita predstavuje odolnosť danej technológie voči parazitnému rušeniu. Predstavuje presah tolerančných pásiem medzi hraničným napätím pre vstup a výstup. Zvolené napät'ové úrovne zabezpečujú činnosť systému proti náhodným poruchám tým, že napätie na výstupe musí byť vždy o 0,4 V vyššie pre log. 1 a o 0,4 V nižšie pre log. 0, ako je hranica určujúca spoľahlivú činnosť obvodu na jeho vstupe.

Pre TTL je odolnosť proti rušeniu daná hodnotami:

pre log. 1 $U_{OH} - U_{IH} = 2,4 \text{ V} - 2,0 \text{ V} = 0,4 \text{ V},$

pre log. 0 $U_{IL} - U_{OL} = 0,8 \text{ V} - 0,4 \text{ V} = 0,4 \text{ V}.$

Základné pojmy – logický zisk N

Jedným zo základných požiadaviek na logické členy býva možnosť spoľahlivého a jednoduchého napojenia vstupu logických členov na výstupy iných logických členov. Číslo, udávajúce maximálny počet vstupu rovnakej technológie, ktoré môžeme zapojiť na výstup logického člena pri zachovaní logickej úrovne, sa nazýva **logický zisk N**.

U štandardných TTL logických obvodov je $N=10$, v prípade TTL série LS a ALS, ktoré majú nižšie vstupné prúdy, je $N=20$ a u výkonových log. obvodov sa $N=30$.

Základné pojmy – dynamické parametre LO

Dynamické parametre logických obvodov predstavujú dôležité údaje, na základe ktorých sa rozhoduje pre použitie konkrétnej typovej rady a technológie. Dynamické parametre sa merajú na vonkajších svorkách obvodu bez ohľadu na jeho štruktúru. Charakteristické časové úseky môžu byť definované rôznym spôsobom. Na nasledujúcom obrázku je zobrazený vstupný a výstupný priebeh napätia meraný na svorkách hradla.

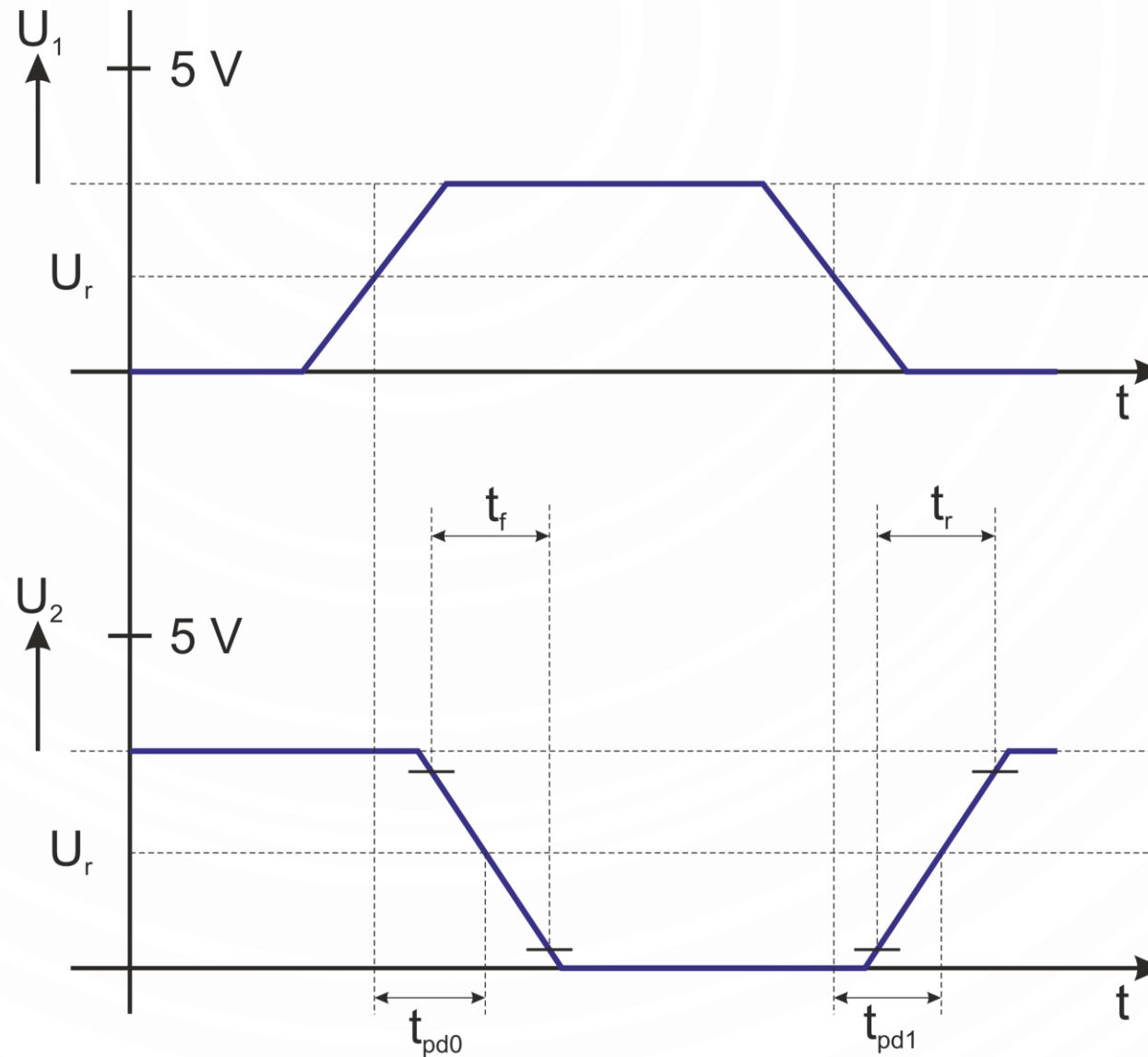
Nábežná hrana (t_r) (čelo signálu) je doba, za ktorú stúpne signál z 10% na 90% svojej maximálnej hodnoty.

Základné pojmy – dynamické parametre LO

Dobežná hrana (t_f) (tylo signálu) je doba, za ktorú klesne signál z 90% na 10% svojej maximálnej hodnoty.

Ak má signál príliš dlhý nábeh alebo dobeh, logický obvod je dlho v oblasti nestability. Tento stav je nežiaduci, pretože môže spôsobiť chyby v činnosti obvodu. Z tohto dôvodu je nutné používať signály s takou dobou nábehu a dobehu, ktoré zodpovedajú použitým log. obvodom, resp. technológii tak, aby oblasť nestability bola minimalizovaná.

Základné pojmy – dynamické parametre LO



Časové priebehy na svorkách hradla

Základné pojmy – dynamické parametre LO

Na obr. na predchádzajúcom slajde je taktiež znázornené aj oneskorenie signálu pri prechode logickým obvodom. Doba t_{pd0} predstavuje dobu prechodu (oneskorenie) obvodu pri zmene vstupnej úrovne zo stavu log. 1 na stav log. 0 a t_{pd1} naopak.

Charakteristické oneskorenie logických obvodov sa udáva ako pomerná hodnota, teda:

$$t_{pd} = \frac{t_{pd0} + t_{pd1}}{2} .$$

Základné pojmy – frekvenčné pomery

Maximálna pracovná frekvencia f_{\max} je najvyššia možná frekvencia, ktorú je logický obvod schopný spracovať bez toho, aby došlo k výpadku signálu alebo k poklesu výstupných úrovní. Hodnota f_{\max} úzko súvisí s oneskorením logického obvodu a so strmosťou nábežnej a dobežnej hrany signálu. V prípade vyšších frekvencií už obvody nedokážu signál reprodukovať. Napríklad pre obvody TTL standard je maximálna pracovná frekvencia okolo 10 MHz.

Základné pojmy – energetické pomery LO

Prípustný rozptyl napájacích napätí súvisí predovšetkým s výrobnou technológiou. Pre TTL logické obvody je prípustná len veľmi malá zmena napájacieho napätia $\pm 5\%$ U_{cc} . V prípade technológie CMOS je prípustná veľká zmena U_{cc} v rozsahu napr. 3 až 18 V. Pre odber energie často platí, že čím má logický obvod väčší odber, tým je menšie oneskorenie v logickej sieti.

Príkladom môžu byť logické obvody Schottky TTL, ktoré majú priemerné oneskorenie $t_{pd} \approx 3$ ns, pričom hradlo má typický príkon 18 mW.

Základné pojmy – zapojenie nepoužitých vstupov

Nezapojené vstupy logických obvodov je nevyhnutné ošetriť, aby cez nich nedochádzalo k rušeniu funkcie logického obvodu parazitnými signálmi, teda nikdy ich nenechávame nezapojené.

Vo všeobecnosti platí, že nepoužité vstupy logických členov AND a NAND pripájame na log. 1 cez vhodný rezistor, väčšinou $R \approx 1 \text{ k}\Omega$. V prípade log. členov OR a NOR sa nepoužité vstupy pripájajú na log. 0.

Základné pojmy – zapojenie nepoužitých vstupov

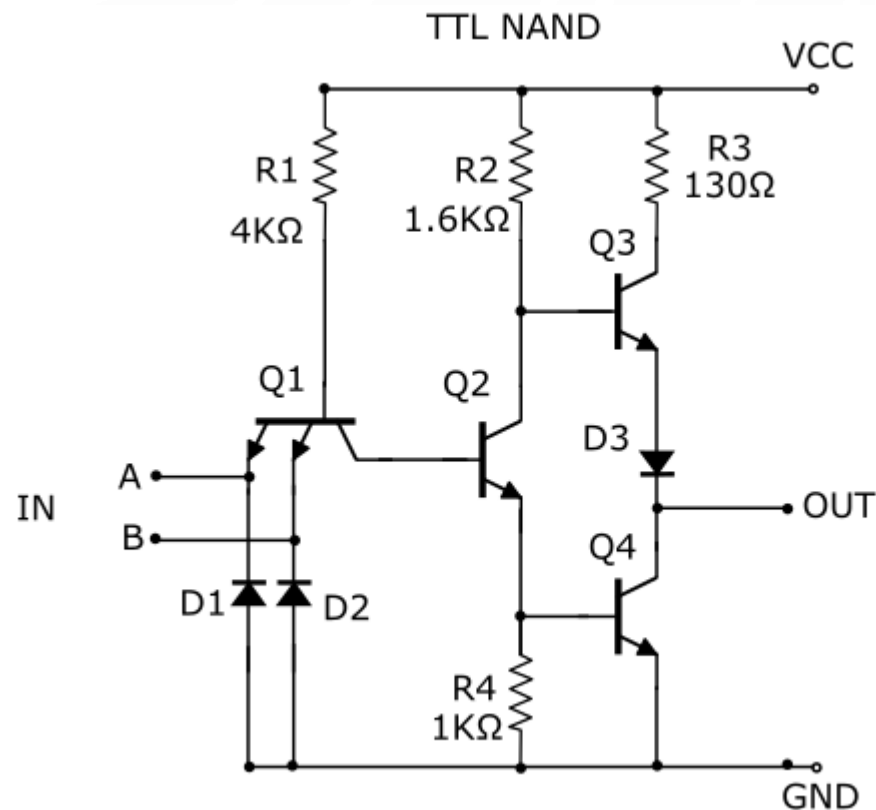
V mnohých prípadoch je možné spojiť voľné vstupy paralelne a tak znížiť počet nepoužitých vstupov. V prípade AND a NAND sa spojené vstupy správajú z hľadiska zát'aže ako jeden vstup. Vstupný prúd hradla je daný len jedným rezistorom $R_1 = 4 \text{ k}\Omega$.

V prípade OR a NOR však spojené vstupy predstavujú logickú zát'až všetkých spojených vstupov. Každý zo vstupov generuje vstupný prúd cez rezistor $4 \text{ k}\Omega$ a ovplyvní tak logický zisk.

Logika TTL

Logické hradlo TTL bolo prvým vyrobeným logickým členom. Typické vnútorné usporiadanie hradla **NAND** v technológii TTL vyzerá nasledovne:

Dôležitou súčasťou hradla NAND v TTL je viacemitorový tranzistor Q1, pomocou ktorého sa realizuje logický súčin. Ak má aspoň jeden zo vstupov A, B logickú nulu ($U < 0,8 \text{ V}$), prechod báza-emitor na tranzistore Q1 je otvorený a prechádza ním prúd zo zdroja VCC cez rezistor R1 do vonkajšieho vstupného obvodu. Tranzistor Q1 je nasýtený a na jeho kolektore je napätie približne zhodné s napätím na emitore. Q2 je preto uzavretý, na rezistore R4 je nulové napätie a je preto uzavretý aj tranzistor Q4. Cez R2 prechádza do bázy Q3 prúd a na výstupe je napätie odpovedajúce úrovni log. 1 (z $V_{CC} = 5 \text{ V}$ znížený o úbytok napätia na Q3 a D).



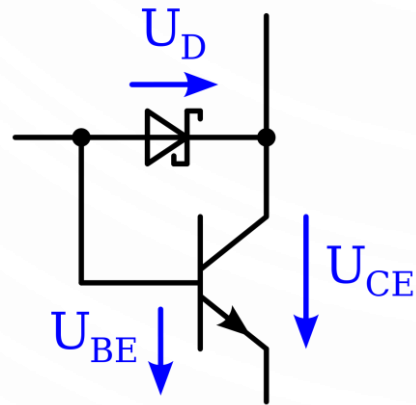
TTL NAND – vnútorné usporiadanie

Logika TTL

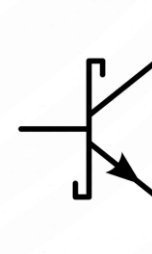
Tranzistory používané v obvodoch TTL pracujú ako spínače. To znamená, že sú buď v uzavretom alebo otvorenom, resp. v nasýtenom stave. Z hľadiska obmedzení dosiahnuteľnej rýchlosti obvodu TTL je významný stav nasýtenia (saturácie). V stave nasýtenia sú oba prechody (báza-emitor a báza-kolektor) otvorené. Pri prechode tranzistora z otvoreného do uzavretého stavu spôsobuje oneskorenie hradla doba odvedenia nadbytočného náboja z prechodu báza-kolektor. Táto doba sa nazýva **doba zotavenia** a má rozhodujúci vplyv na oneskorenie výstupného signálu. Tento problém sa riešil zavedením tzv. *Schottkyho* technológie.

Logika STTL

Princíp **Schottkyho technológie** spočíva v použití tzv. Schottkyho tranzistora namiesto bežného spínacieho tranzistora. Medzi kolektor a bázu bipolárneho tranzistora sa zapojí Schottkyho dióda, čím zabránime prechodu tranzistora do stavu nasýtenia nižším prahovým napätím Schottkyho diódy.



Princíp Schottkyho tranzistora



Schematická značka Schottkyho tranzistora

Logika STTL

Schottkyho technológia umožnila vznik nových rád TTL obvodov, a to **STTL** (Schottkyho TTL) a vylepšené rady LSTTL a ALSTTL.

- TTL standard (pôvodná rada TTL obvodov)
- STTL – rada TTL obvodov, využívajúca princíp Schottkyho tranzistora
- LSTTL – nízkoпрíkonová rada STTL (Low Power Schottky)
- ALSTTL – pokročilá rada LSTTL (Advanced Low Power Schottky)
- FTTL – rýchla TTL logika (Fast TTL)

Porovnanie TTL technológií

Súčin oneskorenia signálu hradlom t_{pd} a príkonu P_h na jedno hradlo predstavuje dôležitý faktor. Čím je menšia hodnota súčinu, tým sa považuje rada logických obvodov za výhodnejšiu z hľadiska rýchlosti a príkonu.

	Oneskorenie t_{pd} [ns]	Príkon P_h /hradlo [mW]
TTL standard	10	10
STTL	3	18
LSTTL	9	2
ALSTTL	4	1
FTTL	3	4

Logické obvody CMOS

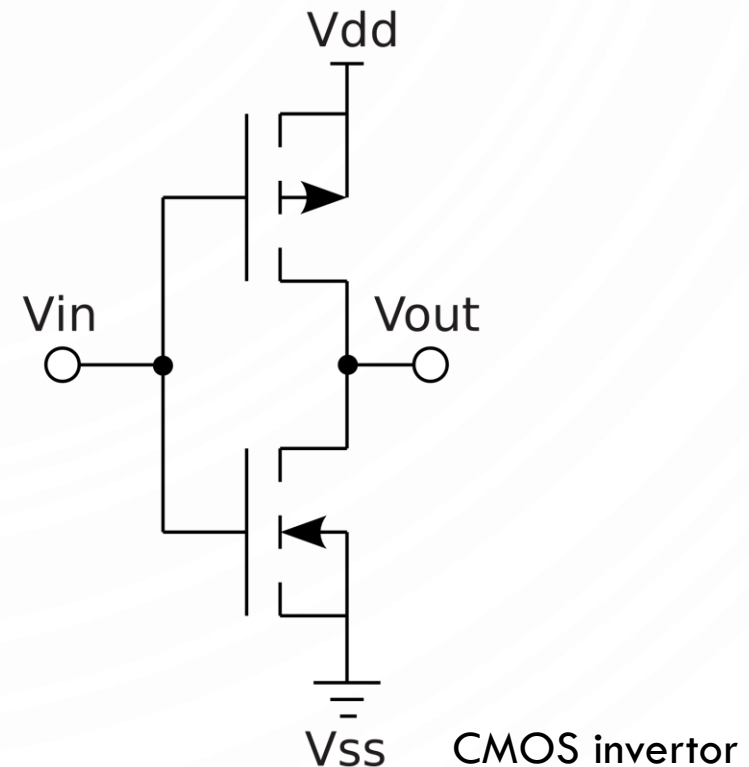
Logické obvody CMOS (Complementary Metal Oxide Semiconductors) boli vyvinuté ako konkurencia TTL technológii. Jeho hlavnou výhodou je veľmi nízky príkon, široký rozsah napájacích napätí (3 až 18 V), veľká odolnosť voči rušeniu (šumová imunita) a dostatočný rýchlosť porovnateľná s TTL.

Technológia CMOS umožňuje podstatne vyšší stupeň integrácie než TTL. Umožňuje konštrukciu LSI a VLSI (s vysokým a veľmi vysokým stupňom integrácie). Okrem logických obvodov sa CMOS používa aj pri výrobe pamätí a rôznych druhov mikroprocesorov.

Logické obvody CMOS

Integrované obvody CMOS sú konštruované z dvojice MOSFET tranzistorov s indukovaným kanálom. Jeden z tejto dvojice je MOSFET s p -kanálom a druhý s n -kanálom. Oba tranzistory pracujú v tzv. obohatenom móde.

Invertor je základným stavebným prvkom zložitejších obvodov v technológii CMOS.



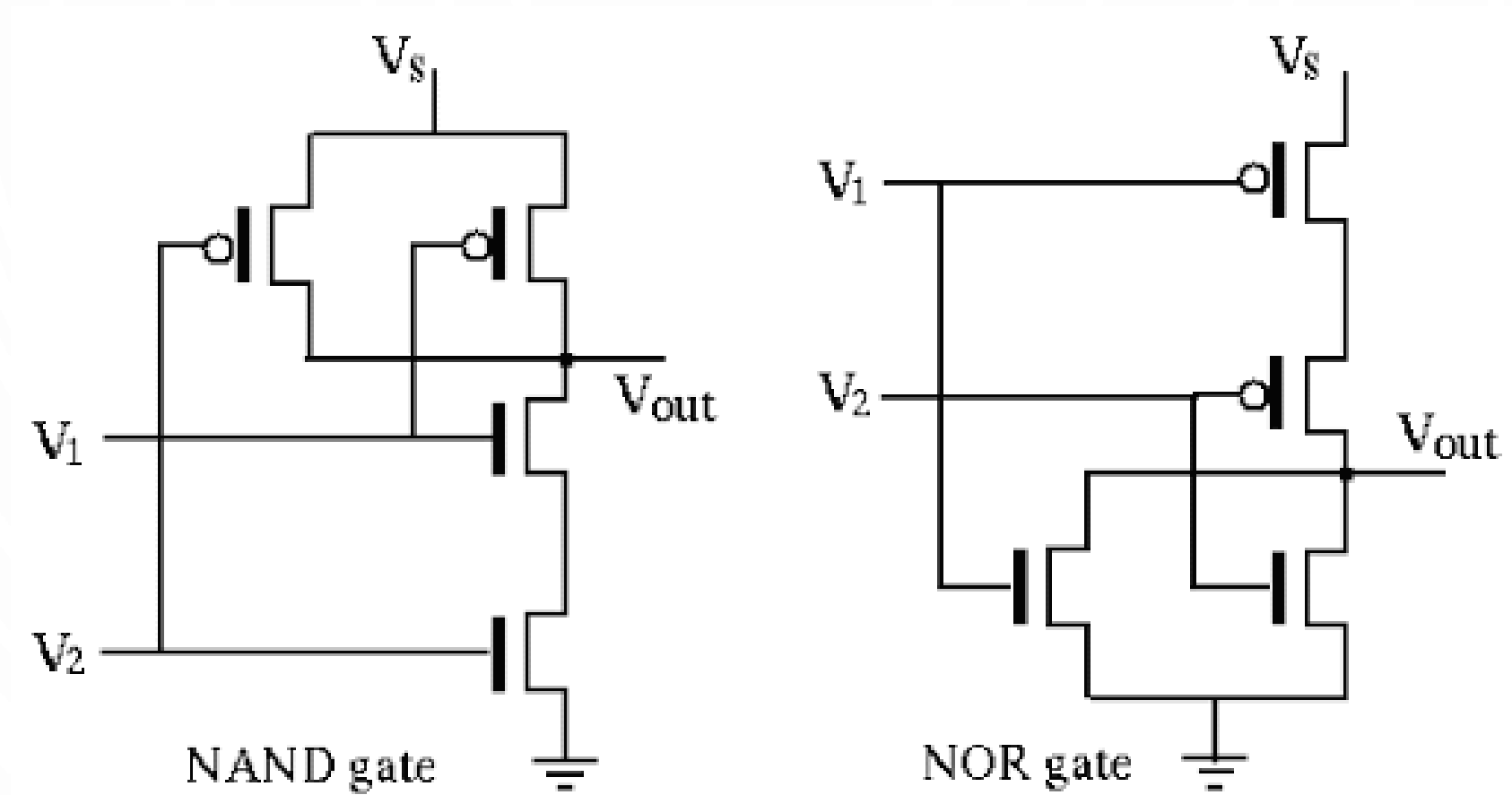
Logické obvody CMOS

Logické hradlá v technológii CMOS sa vyrábajú vhodným zapojením viacerých invertorov. Hradlo **NAND** je konštruovaný nasledovne:

- spoja sa 2 MOSFET tranzistory T1 a T2 s *n*-kanálom v sérii a 2 MOSFET tranzistory T3 a T4 s *p*-kanálom paralelne,
- spoja sa vývody hradiel (G) tranzistora MOSFET T1 s T3 a T2 s T4, získa sa tak zapojenie dvojestupového hradla NAND.

V prípade **NOR** sa spoja MOS tranzistory s *n*-kanálom paralelne a tranzistory s *p*-kanálom sériovo.

Logické obvody CMOS



Prepojenie obvodov CMOS a TTL

Pri vzájomnom prepájaní obvodov CMOS s rôznym napájacím napätím alebo pri prepojení obvodov CMOS s napájacím napätím $U_{cc} > 5 \text{ V}$ s TTL obvodom je nevyhnutné prispôbiť napät'ové a prúdové úrovne.