

Fakulta elektrotechniky  
a informatiky

Ing. Peter Lukács, PhD.

# Počítačové inžinierstvo v elektronike LS 2021/2022

Logické funkcie a obvody

# Neudeľujem súhlas na vyhotovenie audio-vizuálneho záznamu!

- Je zakázané vytvárať akýkoľvek zvukový, vizuálny alebo audio-vizuálny záznam.
- Môžu byť použité právne prostriedky, ak sa ktorákoľvek časť tejto videokonferencie bude šíriť bez súhlasu autora.

- *Zákon č. 18/2018 Zz - Zákon o ochrane osobných údajov*
- *Zákon č. 185/2015 Z. z. Autorský zákon*



# Základné pojmy

**Logický obvod** je systém, ktorého vstupné a výstupné veličiny nadobúdajú len dve hodnoty. Pracujú teda s logickou nulou (0) a logickou jednotkou (1) – binárna sústava.

**Pravdivostná tabuľka** opisuje vzájomný vzťah medzi vstupnými a výstupnými veličinami. Vstupy označujeme symbolmi A, B a výstup symbolom Y.

**Booleova algebra** umožňuje návrh a sledovanie činnosti logických obvodov.

Logické obvody delíme na **kombinačné** a **sekvenčné**.

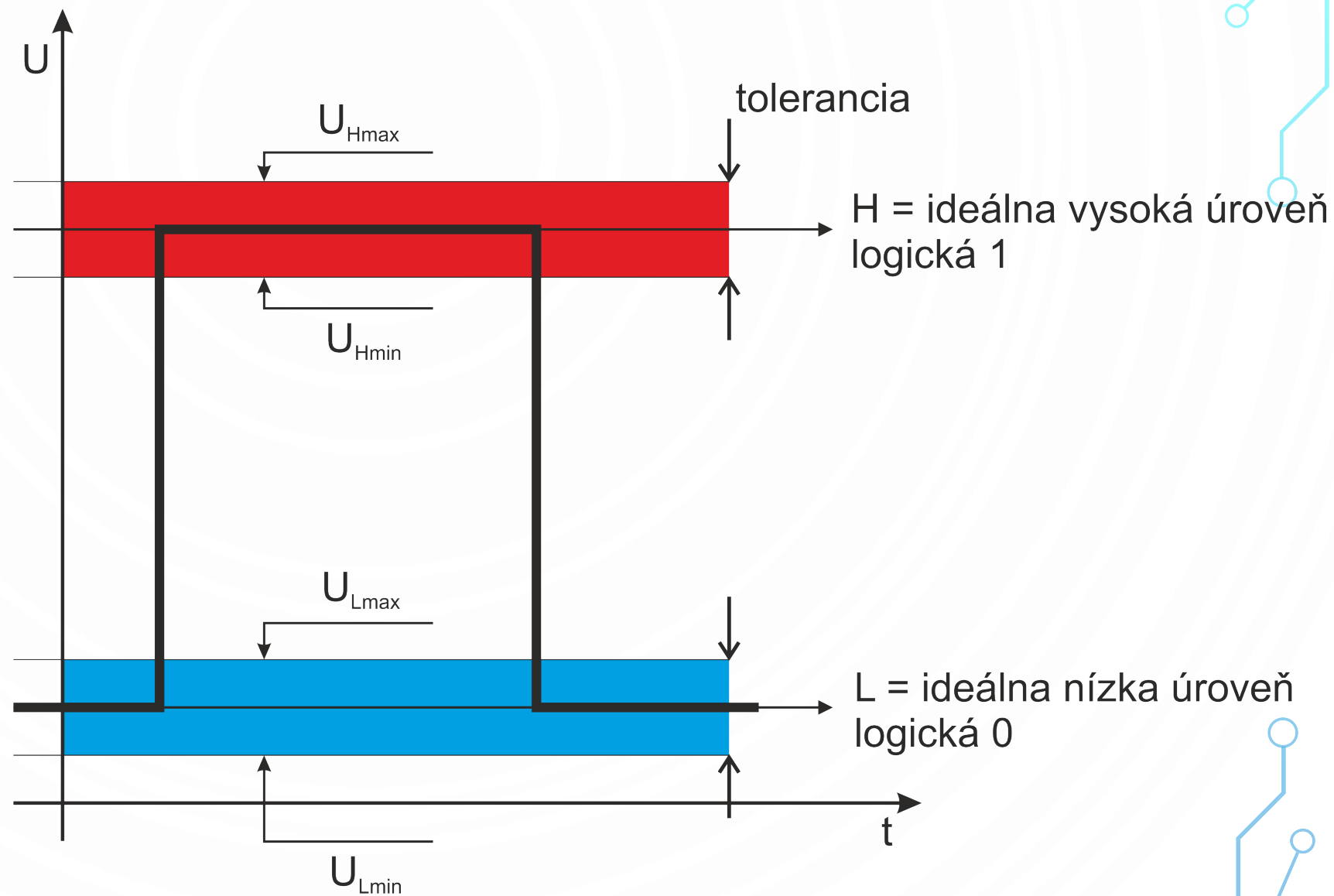
# Základné pojmy

Výstup **kombinačných obvodov** je daný len kombináciou vstupných veličín.

Výstup **sekvenčných obvodov** je daný nielen kombináciou vstupných veličín ale aj log. hodnotami predchádzajúceho stavu logických obvodov. Z uvedeného vyplýva, že sekvenčné logické obvody majú aj pamäť.

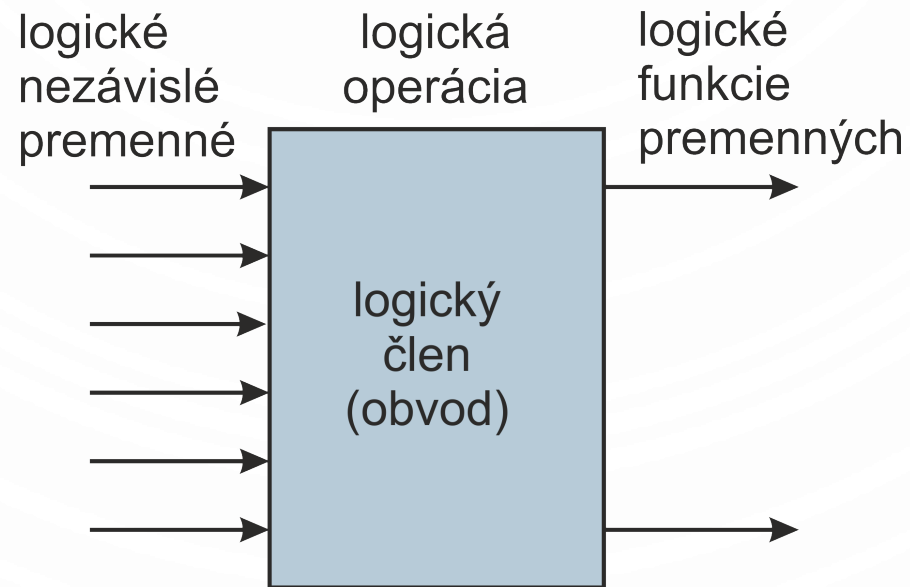
Stav logických  
premenných:

- úroveň 1 (H)
- úroveň 0 (L)



# Logický obvod

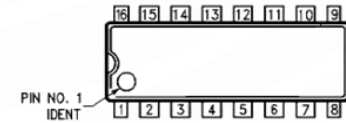
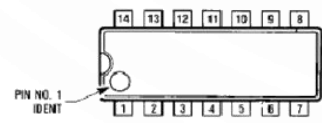
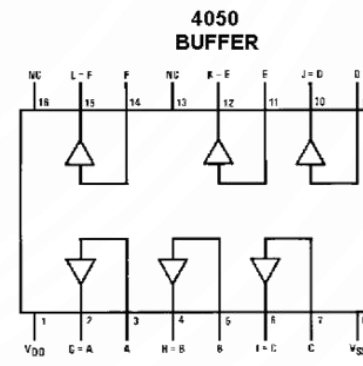
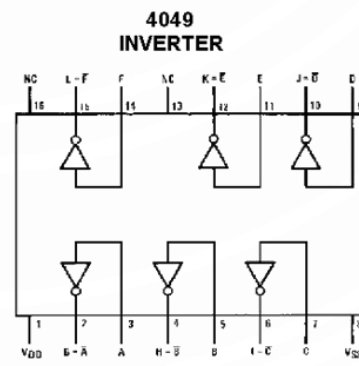
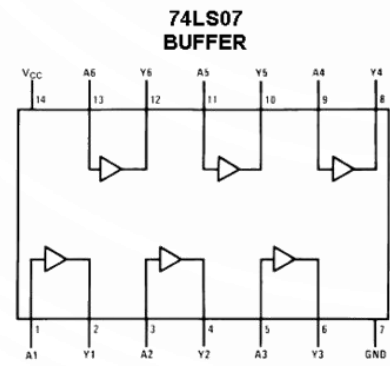
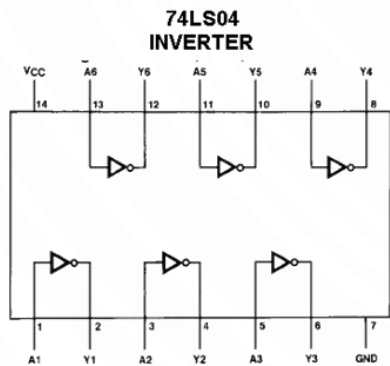
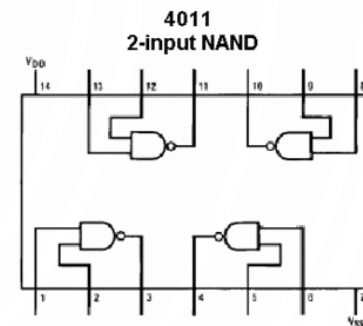
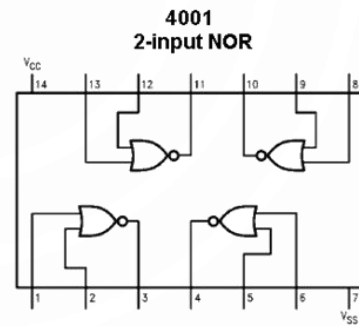
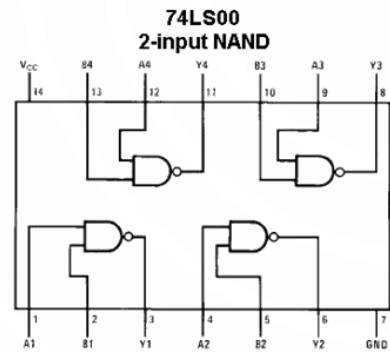
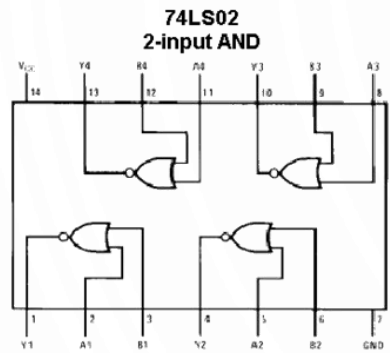
- Logický obvod slúži na realizáciu matematickej funkcie/operácie.
- Vstupné a výstupné premenné logických obvodov je napät'ový signál (obdĺžnikový priebeh).



# Logický obvod

- Hodnotu logickej funkcie pre všetky možné kombinácie vstupných premenných určuje **pravdivostná tabuľka**.
- Počet kombinácií pre  $n$  premenných je  $2^n$ , teda pre dva vstupy logického obvodu je počet možných kombinácií  $2^2=4$ .

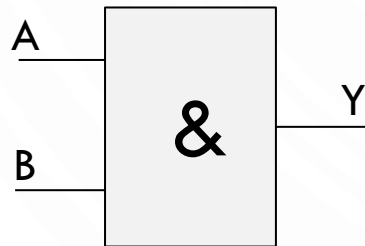
# Základné logické funkcie a logické členy





# Logický súčin – AND (konjunkcia)

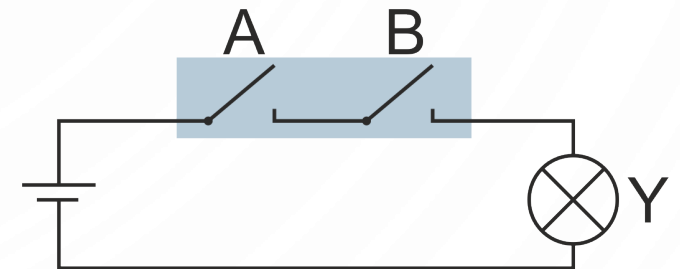
- Logický súčin je logická funkcia v tvare  $Y=A.B$ , kde A a B sú hodnoty vstupných veličín a Y je hodnota výstupu.
- Logický člen, ktorý realizuje funkciu logického súčinu sa nazýva AND.



Grafická značka ČSN

A	B	Y
0	0	0
0	1	0
1	0	0
1	1	1

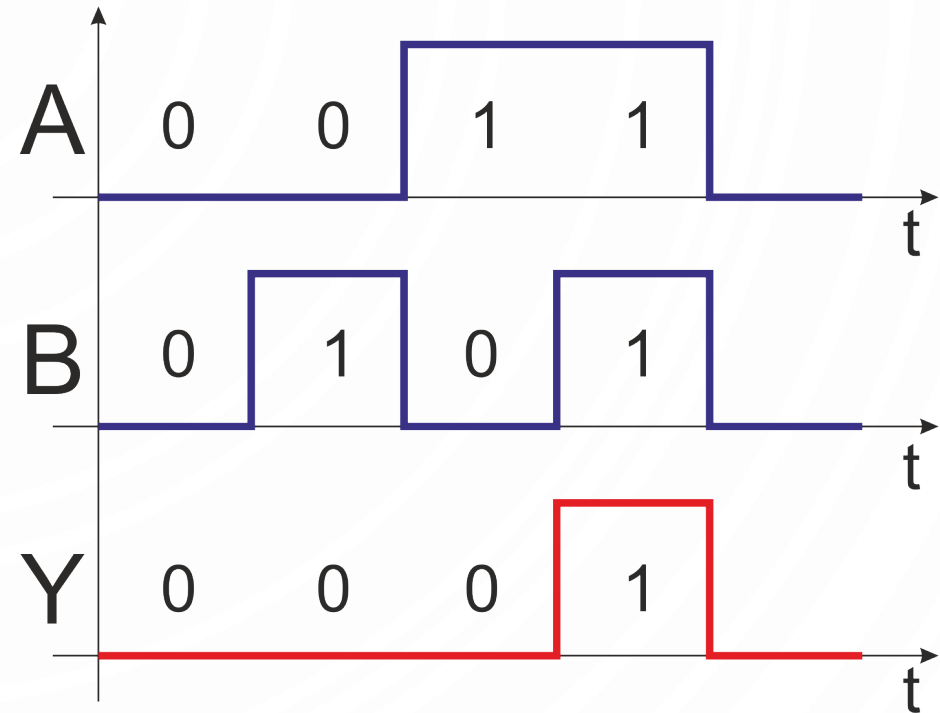
Pravdivostná tabuľka



Princíp realizácie

# Logický súčin - AND

- Logická 1 na výstupe Y bude len vtedy, ak oba vstupy majú hodnotu log. 1.
- Správanie sa logického člena AND je možné znázorniť ako časovú závislosť výstupu Y na kombinácií vstupov A a B:



AND – grafická závislosť výstupu na kombinácií vstupov

# DM7408

## Quad 2-Input AND Gates

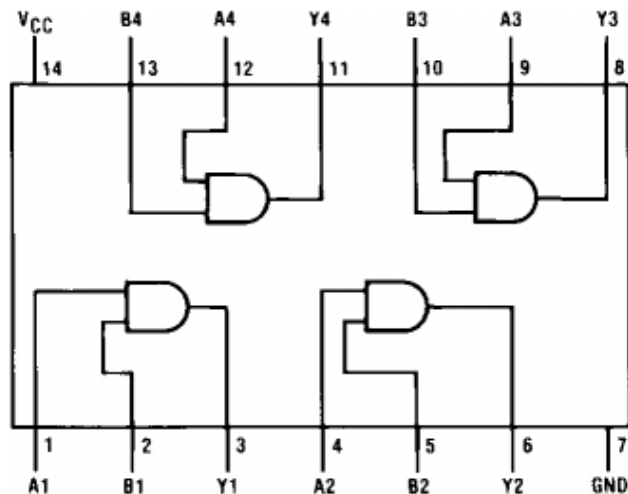
### General Description

This device contains four independent gates each of which performs the logic AND function.

### Ordering Code:

Order Number	Package Number	Package Description
DM7408N	N14A	14-Lead Plastic Dual-In-Line Package (PDIP), JEDEC MS-001, 0.300" Wide

### Connection Diagram



### Function Table

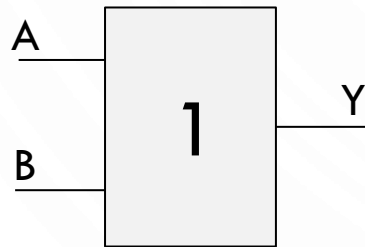
$$Y = AB$$

Inputs		Output
A	B	Y
L	L	L
L	H	L
H	L	L
H	H	H

H = HIGH Logic Level  
L = LOW Logic Level

# Logický súčet – OR (disjunkcia)

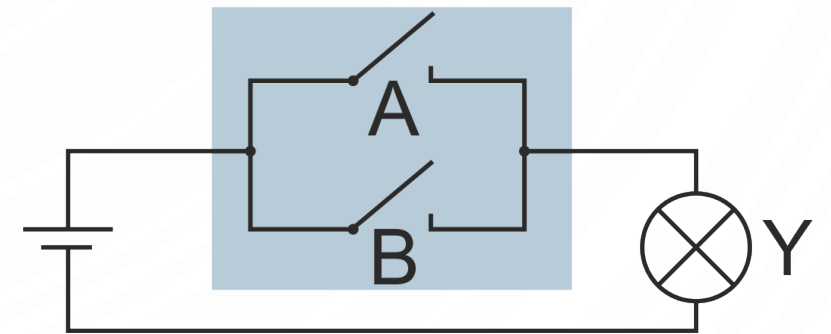
- Logický súčet je logická funkcia v tvare  $Y=A+B$ , kde A a B sú hodnoty vstupných veličín a Y je hodnota výstupu.
- Logický člen, ktorý realizuje funkciu logického súčtu sa nazýva OR.



Grafická značka ČSN

A	B	Y
0	0	0
0	1	1
1	0	1
1	1	1

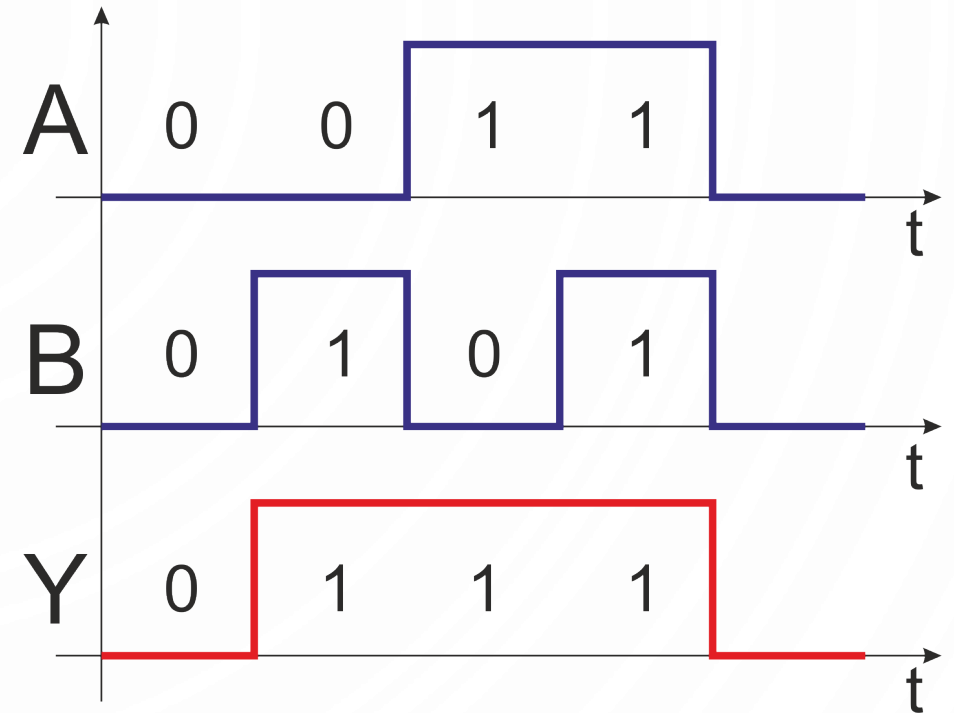
Pravdivostná tabuľka



Princíp realizácie

# Logický súčet - OR

- Logická 0 na výstupe Y bude len vtedy, ak oba vstupy majú hodnotu log. 0.
- Správanie sa logického člena OR je možné znázorniť ako časovú závislosť výstupu Y na kombinácií vstupov A a B:



OR – grafická závislosť výstupu na kombinácií vstupov

## DM74LS32

### Quad 2-Input OR Gate

#### General Description

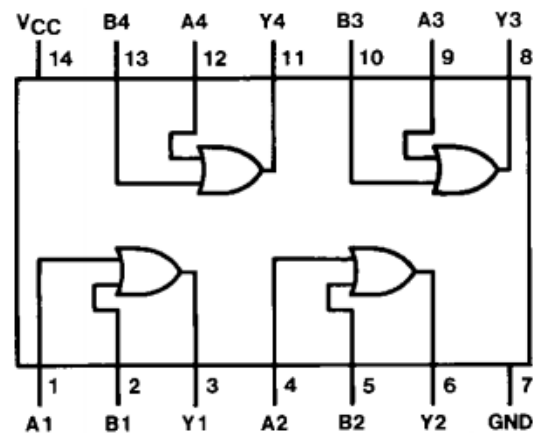
This device contains four independent gates each of which performs the logic OR function.

#### Ordering Code:

Order Number	Package Number	Package Description
DM74LS32M	M14A	14-Lead Small Outline Integrated Circuit (SOIC), JEDEC MS-120, 0.150 Narrow
DM74LS32SJ	M14D	14-Lead Small Outline Package (SOP), EIAJ TYPE II, 5.3mm Wide
DM74LS32N	N14A	14-Lead Plastic Dual-In-Line Package (PDIP), JEDEC MS-001, 0.300 Wide

Devices also available in Tape and Reel. Specify by appending the suffix letter "X" to the ordering code.

#### Connection Diagram



#### Function Table

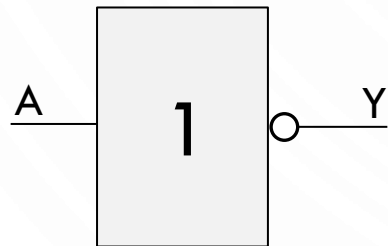
$$Y = A + B$$

Inputs		Output
A	B	Y
L	L	L
L	H	H
H	L	H
H	H	H

H = HIGH Logic Level  
L = LOW Logic Level

# Logická negácia - NOT

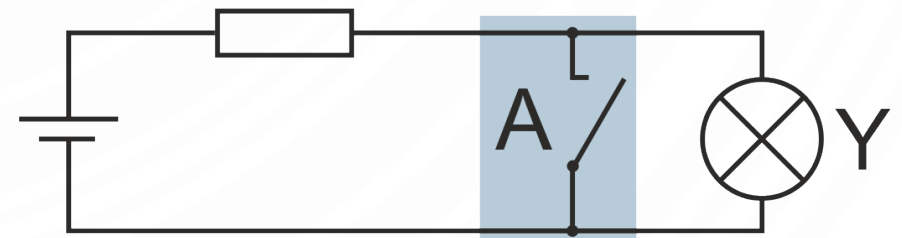
- Logická negácia je logická funkcia v tvare  $Y = \bar{A}$ , kde A je vstupná veličina a Y je hodnota výstupu.
- Logický člen, ktorý realizuje funkciu logickej negácie sa nazýva NOT.



Grafická značka ČSN

A	Y
0	1
1	0

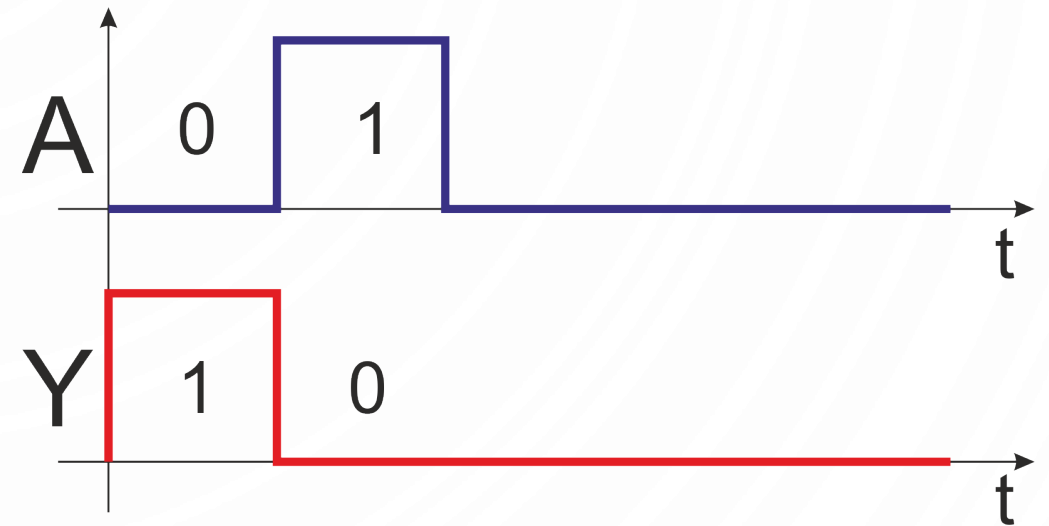
Pravdivostná tabuľka



Princíp realizácie

# Logická negácia - NOT

- Logická 0 na výstupe Y bude len vtedy, ak oba vstupy majú hodnotu log. 0.
- Správanie sa logického člena NOT je možné znázorniť ako časovú závislosť výstupu Y na kombinácií vstupu A:

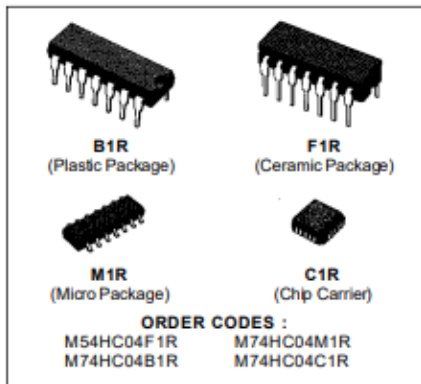


NOT – grafická závislosť výstupu na kombinácií vstupov



HEX INVERTER

- HIGH SPEED  
 $t_{PD} = 6 \text{ ns (TYP.) AT } V_{CC} = 5 \text{ V}$
- LOW POWER DISSIPATION  
 $I_{CC} = 1 \mu\text{A (MAX.) AT } T_A = 25 \text{ }^\circ\text{C}$
- HIGH NOISE IMMUNITY  
 $V_{NIH} = V_{NIL} = 28 \% V_{CC} \text{ (MIN.)}$
- OUTPUT DRIVE CAPABILITY  
10 LSTTL LOADS
- SYMMETRICAL OUTPUT IMPEDANCE  
 $|I_{OH}| = I_{OL} = 4 \text{ mA (MIN.)}$
- BALANCED PROPAGATION DELAYS  
 $t_{PLH} = t_{PHL}$
- WIDE OPERATING VOLTAGE RANGE  
 $V_{CC} \text{ (OPR)} = 2 \text{ V TO } 6 \text{ V}$
- PIN AND FUNCTION COMPATIBLE WITH 54/74LS04

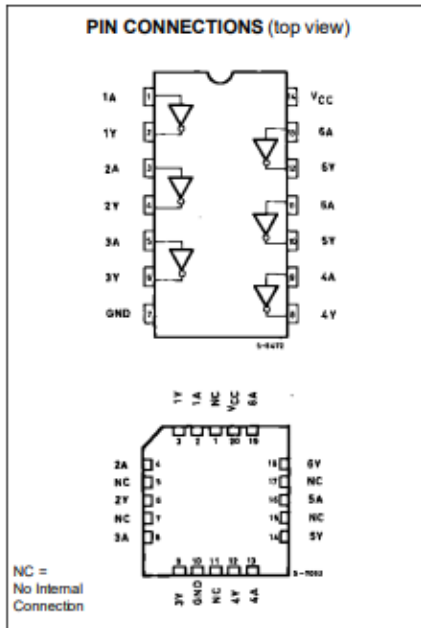
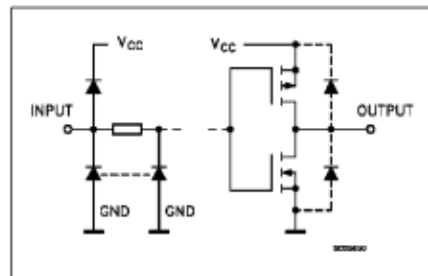


**DESCRIPTION**

The M54/74HC04 is a high speed CMOS HEX INVERTER fabricated in silicon gate CMOS technology. It has the same high speed performance of LSTTL combined with true CMOS low power consumption.

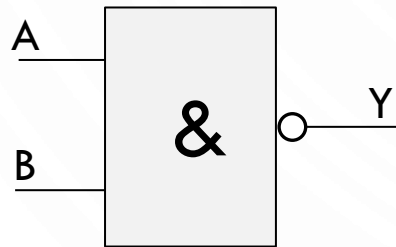
The internal circuit is composed of 3 stages including buffer output, which enables high noise immunity and stable output. All inputs are equipped with circuits against static discharge and transient excess voltage.

**INPUT AND OUTPUT EQUIVALENT CIRCUIT**



# Negácia logického súčinu - NAND

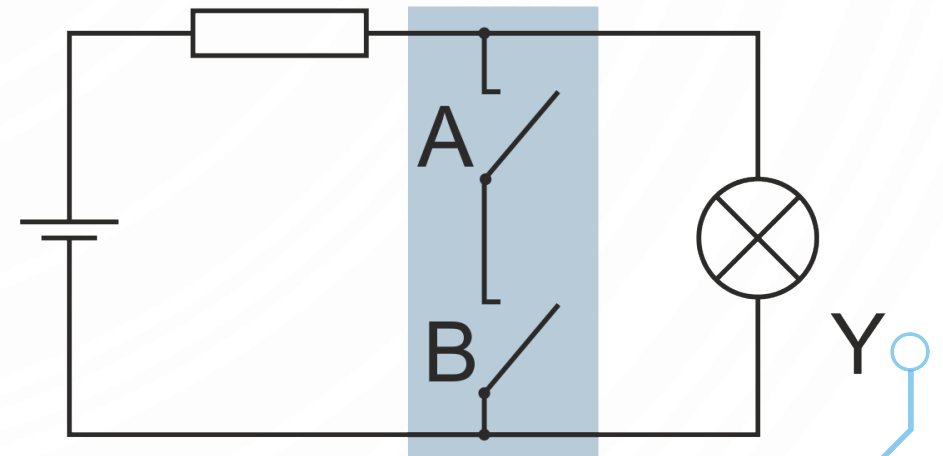
- Negovaný logický súčin je logická funkcia v tvare  $Y = \overline{A \cdot B}$ , kde A a B sú hodnoty vstupných veličín a Y je hodnota výstupu.
- Logický člen, ktorý realizuje funkciu negovaného logického súčinu sa nazýva NAND.



Grafická značka ČSN

A	B	Y
0	0	1
0	1	1
1	0	1
1	1	0

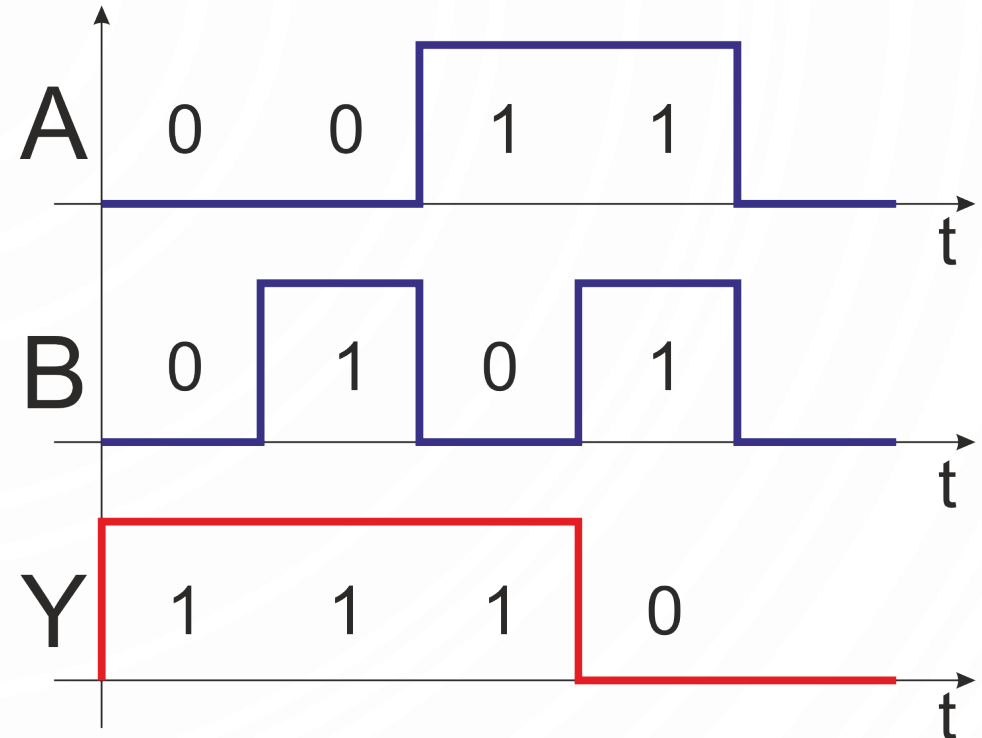
Pravdivostná tabuľka



Princíp realizácie

# Negácia logického súčinu - NAND

- Logická 0 na výstupe Y bude len vtedy, ak oba vstupy majú hodnotu log. 1.
- Správanie sa logického člena NAND je možné znázorniť ako časovú závislosť výstupu Y na kombinácií vstupov A a B:



NAND – grafická závislosť výstupu na kombinácií vstupov

## MM74HC00

### Quad 2-Input NAND Gate

#### General Description

The MM74HC00 NAND gates utilize advanced silicon-gate CMOS technology to achieve operating speeds similar to LS-TTL gates with the low power consumption of standard CMOS integrated circuits. All gates have buffered outputs. All devices have high noise immunity and the ability to drive 10 LS-TTL loads. The 74HC logic family is functionally as well as pin-out compatible with the standard 74LS logic family. All inputs are protected from damage due to

static discharge by internal diode clamps to VCC and ground.

#### Features

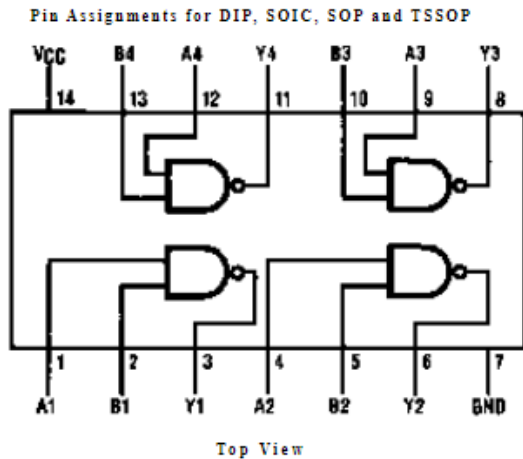
- Typical propagation delay: 8 ns
- Wide power supply range: 2-6V
- Low quiescent current: 20  $\mu$ A maximum (74HC Series)
- Low input current: 1  $\mu$ A maximum
- Fanout of 10 LS-TTL loads

#### Ordering Code:

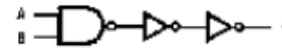
Order Number	Package Number	Package Description
MM74HC00M	M14A	14-Lead Small Outline Integrated Circuit (SOIC), JEDEC MS-120, 0.150" Narrow
MM74HC00SJ	M14D	14-Lead Small Outline Package (SOP), EIAJ TYPE II, 5.3mm Wide
MM74HC00MTC	MTC14	14-Lead Thin Shrink Small Outline Package (TSSOP), JEDEC MO-153, 4.4mm Wide
MM74HC00N	N14A	14-Lead Plastic Dual-In-Line Package (PDIP), JEDEC MS-001, 0.300" Wide

Devices also available in Tape and Reel. Specify by appending the suffix letter "X" to the ordering code.

#### Connection Diagram

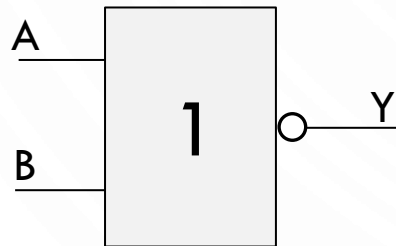


#### Logic Diagram



# Negácia logického súčtu - NOR

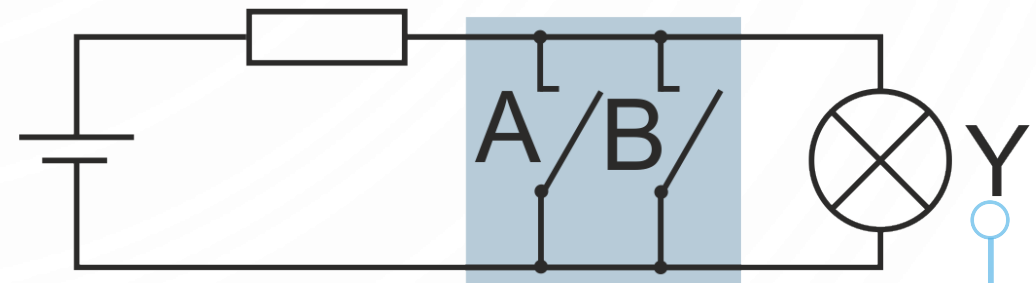
- Negovaný logický súčet je logická funkcia v tvare  $Y = \overline{A+B}$ , kde A a B sú hodnoty vstupných veličín a Y je hodnota výstupu.
- Logický člen, ktorý realizuje funkciu logického súčtu sa nazýva NOR.



Grafická značka ČSN

A	B	Y
0	0	1
0	1	0
1	0	0
1	1	0

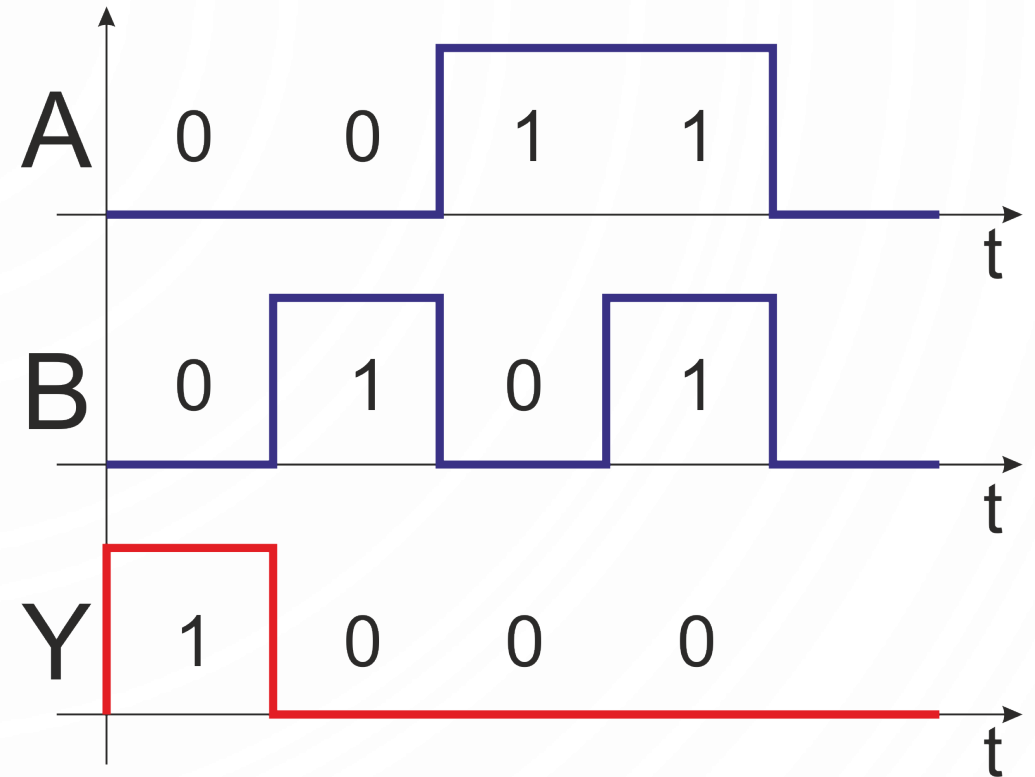
Pravdivostná tabuľka



Princíp realizácie

# Negácia logického súčtu - NOR

- Logická 1 na výstupe Y bude len vtedy, ak oba vstupy majú hodnotu log. 0.
- Správanie sa logického člena NOR je možné znázorniť ako časovú závislosť výstupu Y na kombinácií vstupov A a B:



NOR – grafická závislosť výstupu na kombinácií vstupov

## DM7402 Quad 2-Input NOR Gates

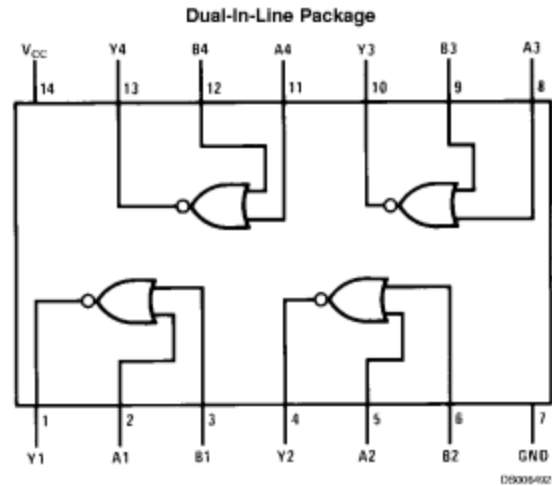
### General Description

This device contains four independent gates each of which performs the logic NOR function.

### Features

- Alternate Military/Aerospace device (5402) is available. Contact a Fairchild Semiconductor Sales Office/Distributor for specifications.

### Connection Diagram



Order Number 5402DMQB, 5402FMQB, DM5402J, DM5402W or DM7402N  
See Package Number J14A, N14A or W14B

### Function Table

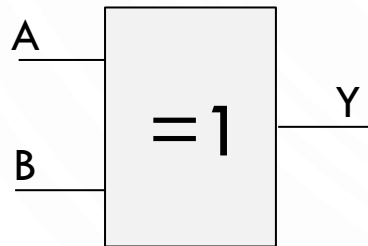
$$Y = \overline{A + B}$$

Inputs		Output
A	B	Y
L	L	H
L	H	L
H	L	L
H	H	L

H = High Logic Level  
L = Low Logic Level

# Exkluzívny logický súčet – XOR (nonekvivalencia)

- Exkluzívny logický súčet je logická funkcia v tvare  $Y=A\oplus B=A\bar{B}+\bar{A}B$ , kde A a B sú hodnoty vstupných veličín a Y je hodnota výstupu.
- Logický člen, ktorý realizuje funkciu logického súčtu sa nazýva XOR.



Grafická značka ČSN

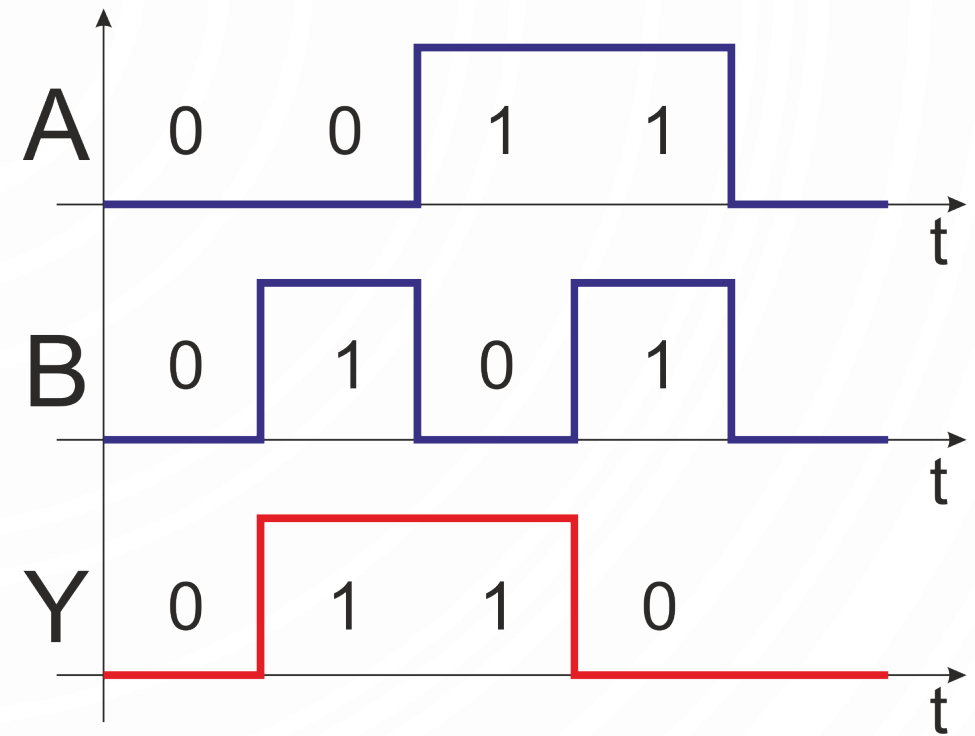
A	B	Y
0	0	0
0	1	1
1	0	1
1	1	0

Pravdivostná tabuľka



# Exkluzívny logický súčet – XOR (nonekvivalencia)

- Logická 0 na výstupe Y bude len vtedy, ak oba vstupy majú hodnotu log. 0 alebo 1.
- Správanie sa logického člena XOR je možné znázorniť ako časovú závislosť výstupu Y na kombinácií vstupov A a B:



XOR – grafická závislosť výstupu na kombinácií vstupov

## DM7486

### Quad 2-Input Exclusive-OR Gate

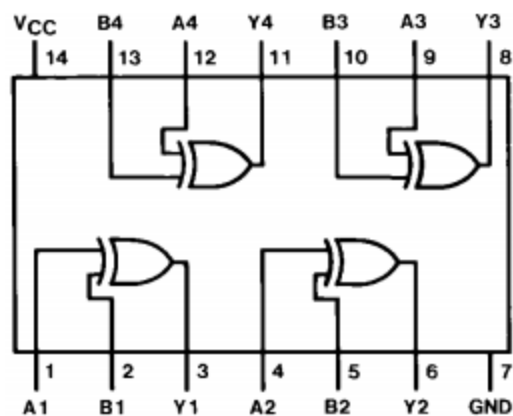
#### General Description

This device contains four independent gates each of which performs the logic exclusive-OR function.

#### Ordering Code:

Order Number	Package Number	Package Description
DM7486N	N14A	14-Lead Plastic Dual-In-Line Package (PDIP), JEDEC MS-001, 0.300 Wide

#### Connection Diagram



#### Function Table

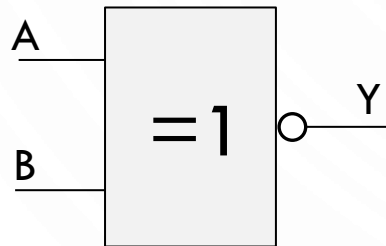
$$Y = A \oplus B$$

Inputs		Output
A	B	Y
L	L	L
L	H	H
H	L	H
H	H	L

H = HIGH Logic Level  
L = LOW Logic Level

# Exkluzívny negovaný logický súčet – XNOR (ekvivalencia)

- Negovaný exkluzívny logický súčet je logická funkcia v tvare  $Y = \overline{A \oplus B} = AB + \overline{A}\overline{B}$ , kde A a B sú hodnoty vstupných veličín a Y je hodnota výstupu.
- Logický člen, ktorý realizuje funkciu logického súčtu sa nazýva XNOR.



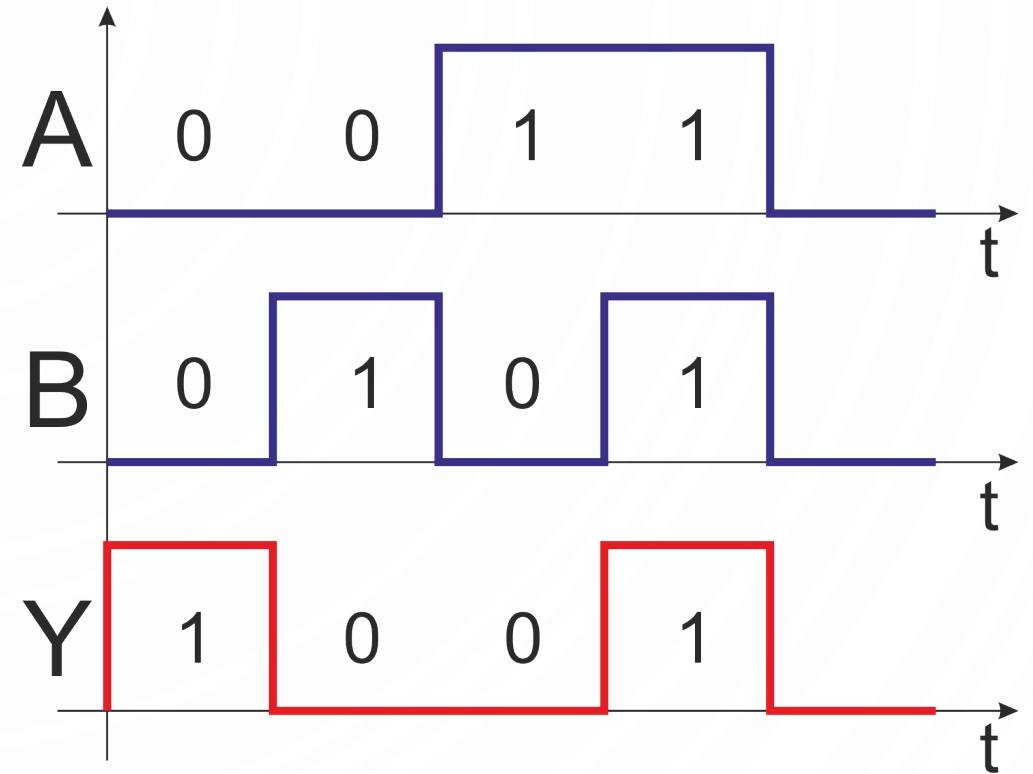
Grafická značka ČSN

A	B	Y
0	0	1
0	1	0
1	0	0
1	1	1

Pravdivostná tabuľka

# Exkluzívny negovaný logický súčet – XNOR (ekvivalencia)

- Logická 1 na výstupe Y bude len vtedy, ak oba vstupy majú hodnotu log. 0 alebo 1.
- Správanie sa logického člena XNOR je možné znázorniť ako časovú závislosť výstupu Y na kombinácií vstupov A a B:

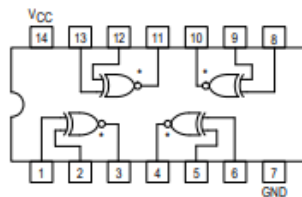


XNOR – grafická závislosť výstupu na kombinácií vstupov



## QUAD 2-INPUT EXCLUSIVE NOR GATE

www.DataSheet4U.com



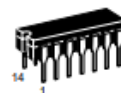
\*OPEN COLLECTOR OUTPUTS

TRUTH TABLE

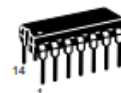
IN		OUT
A	B	Z
L	L	H
L	H	L
H	L	L
H	H	H

### SN54/74LS266

QUAD 2-INPUT  
EXCLUSIVE NOR GATE  
LOW POWER SCHOTTKY



J SUFFIX  
CERAMIC  
CASE 632-08



N SUFFIX  
PLASTIC  
CASE 648-06



D SUFFIX  
SOIC  
CASE 751A-02

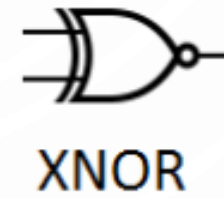
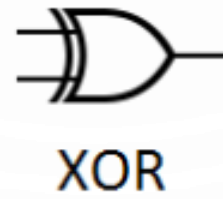
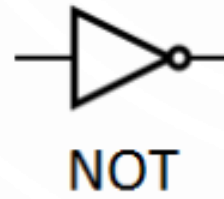
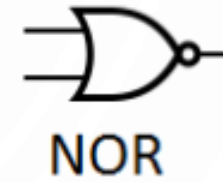
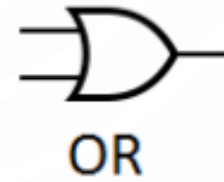
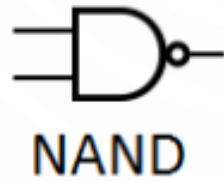
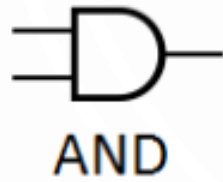
#### ORDERING INFORMATION

SN54LSXXXJ Ceramic  
SN74LSXXXN Plastic  
SN74LSXXXD SOIC

#### GUARANTEED OPERATING RANGES

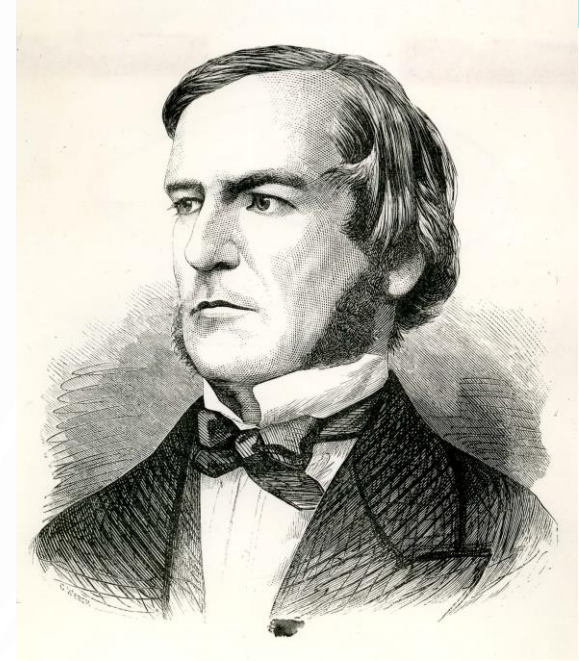
Symbol	Parameter		Min	Typ	Max	Unit
V <sub>CC</sub>	Supply Voltage	54	4.5	5.0	5.5	V
		74	4.75	5.0	5.25	
T <sub>A</sub>	Operating Ambient Temperature Range	54	-55	25	125	°C
		74	0	25	70	
V <sub>O<sub>H</sub></sub>	Output Voltage — High	54, 74			5.5	V
I <sub>O<sub>L</sub></sub>	Output Current — Low	54			4.0	mA
		74			8.0	

# Základné logické členy – symboly US



# Booleova algebra

- Súhrn pravidiel a zákonov, ktoré umožňujú pracovať s logickými výrokmi ako s logickými premennými a funkciami, a to formou algebrických operácií.
- K vyjadreniu ľubovoľnej funkcie sa v Booleovej algebre používajú len tri základné funkcie: **logický súčet**, **logický súčin** a **logická negácia**.
- Booleova algebra pracuje v binárnej sústave.
- Prostredníctvom Booleovej algebry dokážeme vyjadriť „správanie sa“ logického obvodu.



# Pravidlá Booleovej algebry

- Pravidlá **Booleovej algebry** platia len pre logickú algebru, aj keď mnoho vzťahov je zhodná alebo podobná pravidlám číselnej algebry.
- Číslice **0** a **1** sú symboly logického stavu a nie veľkosti čísla.
- Operačné znaky **+** a **.** vyjadrujú logickú, nie algebrickú operáciu.
- V Booleovej algebre platí  $1+1=1$ , pričom v číselnej algebre  $1+1=10$  (súčet je 0 a prenos do vyššieho rádu je 1).
- V Booleovej algebre sú definované základné vzťahy – postuláty a od nich sú odvedené základné pravidlá.



# Základné vzťahy Booleovej algebry

$0+0=0$	$1.1=1$	$\overline{1}=0$
$0+1=1$	$0.1=0$	$\overline{0}=1$
$1+0=1$	$1.0=0$	
$1+1=1$	$0.0=0$	

# Základné pravidlá Booleovej algebry


	Zákony súčtu	Zákony súčinu
Komutatívny zákon	$a+b=b+a$	$a.b=b.a$
Asociatívny zákon	$a+(b+c)=(a+b)+c$	$a(b.c)=(a.b)c$
Distributívny zákon	$(a+b)(a+c)=a+b.c$	$a.b+a.c=a(b+c)$
Neutralita 0 a 1	$a+0=a$	$a.1=a$
Agresivita 0 a 1	$a+1=1$	$a.0=0$
Zákon vylúčenia tretieho	$a+\bar{a}=1$	$a.\bar{a}=0$
Zákon absorpcie	$a+a=a$	$a.a=a$
	$a+a.b=a$	$a(a+b)=a$
Zákon absorpcie negácie	$a(\bar{a}+b)=ab$	$a+\bar{a}b=a+b$
	$\bar{a}(a+b)=\bar{a}b$	$\bar{a}+ab=\bar{a}+b$

# Základné pravidlá Booleovej algebry

	Zákony súčtu	Zákony súčinu
Zákon dvojitej negácie		$\overline{\overline{a}}=a$
De Morganove zákony	$\overline{a+b}=\overline{a}.\overline{b}$	$\overline{a.b}=\overline{a}+\overline{b}$
Idempotencia	$a+\overline{a}=1$	$a.a=a$
Konsenzus	$a.b+\overline{a}.c+b.c=a.b+\overline{a}.c$	$(a+b)(a+c)(b+c)=(a+b)(\overline{a}+c)$

# Shannonov teorém

- Shannonov teorém umožňuje zjednodušiť každú rovnicu tak, že znamienko logického súčtu nahradíme znamienkom logického súčinu a naopak. Rovnici v takejto podobe hovoríme „inverzná“. Podľa Shannonovho teorému získame inverzný tvar rovnice nasledovne:
  - všetky logické súčty zmeníme na logické súčiny a naopak,
  - každú jednotlivú premennú znegujeme,
  - znegujeme celú rovnicu.



**Ďakujem za pozornosť!**  
**prestávka [1 000]<sub>GRAY</sub> minút**